

10/538738

P28028.P03

JC17 Rec'd PCT/PTO 14 JUN 2005

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Tsutomu ICHIHARA et al.

Mail Stop PCT

Appl. No. : Not Yet Assigned (U.S. National Phase of PCT/JP2003/016860)

I.A. Filed : December 26, 2003

For : FIELD EMISSION-TYPE ELECTRON SOURCE AND METHOD OF  
PRODUCING THE SAME

CLAIM OF PRIORITY

Commissioner for Patents  
U.S. Patent and Trademark Office  
Customer Service Window, Mail Stop PCT  
Randolph Building  
401 Dulany Street  
Alexandria, VA 22314

Sir:

Applicant hereby claims the right of priority granted pursuant to 35 U.S.C. 119 and 365 based upon Japanese Application No. 2002-381944, filed December 27, 2002. The International Bureau already should have sent a certified copy of the Japanese application to the United States designated office. If the certified copy has not arrived, please contact the undersigned.

Respectfully submitted,  
Tsutomu ICHIHARA et al.

  
Bruce H. Bernstein      Leslie J. Paperner  
Reg. No. 29,027      Reg. No. 33,329

June 13, 2005  
GREENBLUM & BERNSTEIN, P.L.C.  
1950 Roland Clarke Place  
Reston, VA 20191  
(703) 716-1191

10/538738  
PCT/JP03/16860

26.12.03

JP03/16860

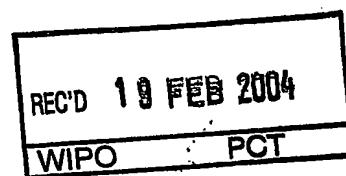
日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出願年月日      2002年12月27日  
Date of Application:

出願番号      特願2002-381944  
Application Number:  
[ST. 10/C]:      [JP2002-381944]



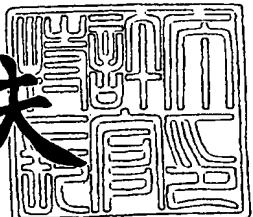
出願人      松下电工株式会社  
Applicant(s):

PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2004年 2月 5日

今井康夫

特許庁長官  
Commissioner,  
Japan Patent Office



【書類名】 特許願  
【整理番号】 02P03483  
【提出日】 平成14年12月27日  
【あて先】 特許庁長官殿  
【国際特許分類】 H01J 1/30  
H01J 29/04  
H01J 31/12  
【発明の名称】 電界放射型電子源およびその製造方法  
【請求項の数】 18  
【発明者】  
【住所又は居所】 大阪府門真市大字門真1048番地松下電工株式会社内  
【氏名】 横原 勉  
【発明者】  
【住所又は居所】 大阪府門真市大字門真1048番地松下電工株式会社内  
【氏名】 萩田 卓哉  
【発明者】  
【住所又は居所】 大阪府門真市大字門真1048番地松下電工株式会社内  
【氏名】 相澤 浩一  
【発明者】  
【住所又は居所】 大阪府門真市大字門真1048番地松下電工株式会社内  
【氏名】 本多 由明  
【発明者】  
【住所又は居所】 大阪府門真市大字門真1048番地松下電工株式会社内  
【氏名】 馬場 徹  
【特許出願人】  
【識別番号】 000005832  
【氏名又は名称】 松下電工株式会社

**【代理人】**

【識別番号】 100087767

**【弁理士】**

【氏名又は名称】 西川 恵清

【電話番号】 06-6345-7777

**【選任した代理人】**

【識別番号】 100085604

**【弁理士】**

【氏名又は名称】 森 厚夫

**【手数料の表示】**

【予納台帳番号】 053420

【納付金額】 21,000円

**【提出物件の目録】**

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9004844

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電界放射型電子源およびその製造方法

【特許請求の範囲】

【請求項 1】 下部電極と、表面電極と、下部電極と表面電極との間に表面電極を高電位側として電圧を印加したときに作用する電界により電子が通過する強電界ドリフト層とを有する電子源素子が絶縁性基板の一表面側に形成され、電子源素子における強電界ドリフト層と下部電極との間にバッファ層が設けられてなることを特徴とする電界放射型電子源。

【請求項 2】 前記バッファ層は、アモルファス層からなることを特徴とする請求項 1 記載の電界放射型電子源。

【請求項 3】 前記絶縁性基板の前記一表面側に前記電子源素子が複数形成され、前記絶縁性基板がガラス基板であって、前記バッファ層は、赤外線を吸収する材料からなり、前記強電界ドリフト層の形成前に前記絶縁性基板の前記一表面側の全体にわたって成膜した膜の一部からなることを特徴とする請求項 1 記載の電界放射型電子源。

【請求項 4】 前記アモルファス層がアモルファシリコン層からなることを特徴とする請求項 3 記載の電界放射型電子源。

【請求項 5】 前記強電界ドリフト層は、前記下部電極の厚み方向に沿って形成された複数の柱状の半導体結晶と、半導体結晶間に介在する多数のナノメータオーダの半導体微結晶と、各半導体微結晶それぞれの表面に形成され半導体微結晶の結晶粒径よりも小さな膜厚の多数の絶縁膜とを有することを特徴とする請求項 1 ないし請求項 4 のいずれかに記載に電界放射型電子源。

【請求項 6】 請求項 1 ないし請求項 5 のいずれか 1 項に記載の電界放射型電子源の製造方法であって、前記絶縁性基板の前記一表面側に前記下部電極を形成した後、前記強電界ドリフト層を形成する前に、前記下部電極上に前記バッファ層を形成することを特徴とする電界放射型電子源の製造方法。

【請求項 7】 請求項 5 記載の電界放射型電子源の製造方法であって、前記絶縁性基板の前記一表面側に前記下部電極を形成する下部電極形成工程と、下部電極形成工程の後で前記絶縁性基板の前記一表面側に前記バッファ層を成膜する

第1の成膜工程と、前記バッファ層の表面側に多結晶半導体層を成膜する第2の成膜工程と、多結晶半導体層の少なくとも一部をナノ結晶化することで前記各半導体微結晶を形成するナノ結晶化工程と、前記各半導体微結晶それぞれの表面に前記絶縁膜を形成する絶縁膜形成工程とを備えることを特徴とする電界放射型電子源の製造方法。

【請求項8】 前記第1の成膜工程の後、前記バッファ層の表面を大気に曝すことなく前記第2の成膜工程を行うことを特徴とする請求項7記載の電界放射型電子源の製造方法。

【請求項9】 前記第1の成膜工程と前記第2の成膜工程とを同一チャンバー内で連続的に行うことの特徴とする請求項8記載の電界放射型電子源の製造方法。

【請求項10】 前記第1の成膜工程および前記第2の成膜工程では成膜法としてプラズマCVD法を採用し、前記第1の成膜工程から前記第2の成膜工程へ切り替える際に放電パワーを前記バッファ層の形成条件から前記多結晶半導体層の形成条件へ変化させることを特徴とする請求項9記載の電界放射型電子源の製造方法。

【請求項11】 前記第1の成膜工程および前記第2の成膜工程では成膜法としてプラズマCVD法を採用し、前記第1の成膜工程から前記第2の成膜工程へ切り替える際に放電圧力を前記バッファ層の形成条件から前記多結晶半導体層の形成条件へ変化させることを特徴とする請求項9記載の電界放射型電子源の製造方法。

【請求項12】 前記第1の成膜工程および前記第2の成膜工程では成膜法としてプラズマCVD法若しくは触媒CVD法を採用し、前記第1の成膜工程から前記第2の成膜工程へ切り替える際に原料ガスの分圧比を前記バッファ層の形成条件から前記多結晶半導体層の形成条件へ変化させることを特徴とする請求項9記載の電界放射型電子源の製造方法。

【請求項13】 前記第1の成膜工程および前記第2の成膜工程では成膜法としてプラズマCVD法若しくは触媒CVD法を採用し、前記第1の成膜工程から前記第2の成膜工程へ切り替える際に原料ガスの種類を前記バッファ層の形成

条件から前記多結晶半導体層の形成条件へ変化させることを特徴とする請求項9記載の電界放射型電子源の製造方法。

【請求項14】 前記第1の成膜工程と前記第2の成膜工程との間に、前記バッファ層の表面へ前記第2の成膜工程初期における結晶核形成を起こりやすくする処理を施す成長前処理工程を備えることを特徴とする請求項7または請求項8記載の電界放射型電子源の製造方法。

【請求項15】 前記成長前処理工程は、前記バッファ層の表面へプラズマ処理を施す工程であることを特徴とする請求項14記載の電界放射型電子源の製造方法。

【請求項16】 前記成長前処理工程は、前記バッファ層の表面へ水素プラズマ処理を施す工程であり、前記第2の成膜工程では少なくともシラン系のガスを原料ガスとしたプラズマCVD法により前記多結晶半導体層としての多結晶シリコン層を成膜することを特徴とする請求項14記載の電界放射型電子源の製造方法。

【請求項17】 前記成長前処理工程は、前記バッファ層の表面へアルゴンプラズマ処理を施す工程であることを特徴とする請求項14記載の電界放射型電子源の製造方法。

【請求項18】 前記成長前処理工程は、前記バッファ層の表面へ多数のシリコン微結晶を含む層を形成する工程であることを特徴とする請求項14記載の電界放射型電子源の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、電界放射により電子線を放射するようにした電界放射型電子源およびその製造方法に関するものである。

##### 【0002】

##### 【従来の技術】

従来から、ナノ結晶シリコン（ナノメータオーダのシリコン微結晶）を利用した電子デバイスとして図17や図18に示す構成の電界放射型電子源10'，1

0”が提案されている（例えば、特許文献1、特許文献2参照）。

### 【0003】

図17に示す構成の電界放射型電子源10’は、導電性基板としてのn形シリコン基板1の主表面（一表面）側に酸化した多孔質多結晶シリコン層よりなる強電界ドリフト層6が形成され、強電界ドリフト層6上に金属薄膜（例えば、金薄膜）よりなる表面電極7が形成されている。また、n形シリコン基板1の裏面にはオーム電極2が形成されており、n形シリコン基板1とオーム電極2とで下部電極12を構成している。なお、図17に示す例では、n形シリコン基板1と強電界ドリフト層6との間にノンドープの多結晶シリコン層3を介在させており、多結晶シリコン層3と強電界ドリフト層6とで電子が通過する電子通過部を構成しているが、多結晶シリコン層3を介在させずに強電界ドリフト層6のみで電子通過部を構成したものも提案されている。

### 【0004】

図17に示す構成の電界放射型電子源10’から電子を放出させるには、例えば、表面電極7に対向配置されたコレクタ電極21を設け、表面電極7とコレクタ電極21との間を真空とした状態で、表面電極7が下部電極12に対して高電位側となるように表面電極7と下部電極12との間に直流電圧V<sub>ps</sub>を印加するとともに、コレクタ電極21が表面電極7に対して高電位側となるようにコレクタ電極21と表面電極7との間に直流電圧V<sub>c</sub>を印加する。ここに、直流電圧V<sub>ps</sub>を適宜に設定すれば、下部電極12から注入された電子が強電界ドリフト層6をドリフトし表面電極7を通して放出される（図17中の一点鎖線は表面電極7を通して放出された電子e-の流れを示す）。なお、表面電極7の厚さは10～15nm程度に設定されている。

### 【0005】

ところで、図17に示した構成の電界放射型電子源10’では、n形シリコン基板1とオーム電極2とで下部電極12を構成しているが、図18に示すように、例えば絶縁性を有するガラス基板よりなる絶縁性基板11の一表面上に金属薄膜よりなる下部電極12を形成した電界放射型電子源10”も提案されている。ここに、上述の図17に示した電界放射型電子源10’と同様の構成要素に

は同一の符号を付して説明を省略する。

### 【0006】

図18に示す構成の電界放射型電子源10"から電子を放出させるには、例えば、表面電極7に対向配置されたコレクタ電極21を設け、表面電極7とコレクタ電極21との間を真空とした状態で、表面電極7が下部電極12に対して高電位側となるように表面電極7と下部電極12との間に直流電圧Vpsを印加するとともに、コレクタ電極21が表面電極7に対して高電位側となるようにコレクタ電極21と表面電極7との間に直流電圧Vcを印加する。ここに、直流電圧Vpsを適宜に設定すれば、下部電極12から注入された電子が強電界ドリフト層6をドリフトし表面電極7を通して放出される（図18中的一点鎖線は表面電極7を通して放出された電子e-の流れを示す）。なお、強電界ドリフト層6の表面に到達した電子はホットエレクトロンであると考えられ、表面電極7を容易にトンネルし真空中に放出される。

### 【0007】

上述の各電界放射型電子源10'，10"では、表面電極7と下部電極12との間に流れる電流をダイオード電流Ipsと呼び、コレクタ電極21と表面電極7との間に流れる電流をエミッション電流（放出電子電流）Ieと呼ぶことにすれば（図17および図18参照）、ダイオード電流Ipsに対するエミッション電流Ieの比率（= Ie / Ips）が大きいほど電子放出効率（= (Ie / Ips) × 100 [%]）が高くなる。なお、上述の電界放射型電子源10'，10"では、表面電極7と下部電極12との間に印加する直流電圧Vpsを10～20V程度の低電圧としても電子を放出させることができ、直流電圧Vpsが大きいほどエミッション電流Ieが大きくなる。

### 【0008】

ところで、図18に示す構成の電界放射型電子源10"を製造する場合には、例えば、絶縁性基板11の一表面上に下部電極12をスパッタ法などにより形成した後、絶縁性基板11の一表面側の全面にプラズマCVD法などによって400°C以上の基板温度でノンドープの多結晶シリコン層3を形成し（図19（a）参照）、その後、多結晶シリコン層3を所定深さまで陽極酸化することにより多

結晶シリコンのグレインおよび多数のナノメータオーダのシリコン微結晶を含む多孔質多結晶シリコン層4'を形成し(図19(b)参照)、多孔質多結晶シリコン層4'を急速加熱法ないし電気化学的な酸化方法によって酸化することで強電界ドリフト層6を形成し(図19(c)参照)、続いて、強電界ドリフト層6上に表面電極7を蒸着法などによって形成している(図19(d)参照)。

### 【0009】

また、図18に示した電界放射型電子源10"をディスプレイの電子源とし応用する場合には、例えば図20に示す構成を採用すればよい。

### 【0010】

図20に示すディスプレイは、電界放射型電子源10に対向して平板状のガラス基板よりなるフェースプレート50が配置され、フェースプレート50における電界放射型電子源10との対向面には透明な導電膜(例えば、ITO膜)よりなるコレクタ電極(以下、アノード電極と称す)21が形成されている。また、アノード電極21における電界放射型電子源10との対向面には、画素ごとに形成された蛍光物質と蛍光物質間に形成された黒色材料からなるブラックストライプとが設けられている。ここに、蛍光物質はアノード電極21における電界放射型電子源10との対向面に塗布されており、電界放射型電子源10から放射される電子線によって可視光を発光する。なお、蛍光物質には電界放射型電子源10から放射されアノード電極21に印加された電圧によって加速された高エネルギーの電子が衝突するようになっており、蛍光物質としてはR(赤色)、G(緑色)、B(青色)の各発光色のものを用いている。また、フェースプレート50は図示しない矩形枠状のフレームによって電界放射型電子源10と離間させてあり、フェースプレート50と電界放射型電子源10との間に形成される気密空間を真空にしてある。

### 【0011】

図20に示した電界放射型電子源10は、絶縁性を有するガラス基板よりなる絶縁性基板11と、絶縁性基板11の一表面上に列設された複数の下部電極12と、下部電極12にそれぞれ重なる形で形成された複数の多結晶シリコン層3と、多結晶シリコン層3にそれぞれ重なる形で形成された酸化した多孔質多結晶シ

リコン層よりなる複数の強電界ドリフト層6と、隣り合う強電界ドリフト層6間および隣り合う多結晶シリコン層3間および隣り合う下部電極12間を埋める多結晶シリコン層よりなる分離層16と、強電界ドリフト層6および分離層16の上で強電界ドリフト層6および分離層16に跨って下部電極12に交差する方向に列設された複数の表面電極7とを備えている。ここにおいて、図20に示す電界放射型電子源10では、強電界ドリフト層6と多結晶シリコン層3と分離層16とで電子通過部5を構成しており、図21に示すように、絶縁性基板11の一表面上に列設された複数の下部電極12と絶縁性基板11の一表面上に平行な面内で下部電極12に直交する方向に列設された複数の表面電極7とで電子通過部5を挟んでいる。なお、強電界ドリフト層6と下部電極12との間に多結晶シリコン層3を介在させずに強電界ドリフト層6と分離層16とで電子通過部5を構成したものも提案されている。

### 【0012】

この電界放射型電子源10では、絶縁性基板11の一表面上に列設された複数の下部電極12と、下部電極12に交差する方向に列設された複数の表面電極7との交点に相当する部位に強電界ドリフト層6の一部が挟まれているから、表面電極7と下部電極12との組を適宜選択して選択した組間に電圧を印加することにより、強電界ドリフト層6において選択された表面電極7と下部電極12との交点に相当する部位に強電界が作用して電子が放出される。つまり、複数の表面電極7の群と複数の下部電極12の群とからなるマトリクス（格子）の格子点に、下部電極12と、下部電極12上の多結晶シリコン層3と、多結晶シリコン層3上の強電界ドリフト層6と、強電界ドリフト層6上の表面電極7とからなる電子源素子10aを配置したことに相当し、電圧を印加する表面電極7と下部電極12との組を選択することによって所望の電子源素子10aから電子を放出させることが可能になる。なお、上述の記載から分かるように、電子源素子10aは画素ごとに設けられることになる。

### 【0013】

図20に示す構成の電界放射型電子源10は、絶縁性基板11の一表面上に複数の下部電極12を形成した後、絶縁性基板11の上記一表面側の全面にプラス

マCVD法や減圧CVD法などによって400℃以上（例えば、400℃～600℃）の基板温度でノンドープの多結晶シリコン層3を成膜し、その後、多結晶シリコン層3のうち下部電極12に重なる部分をフッ化水素水溶液を含む電解液中で陽極酸化することにより多結晶シリコンのグレインおよび多数のナノメータオーダのシリコン微結晶を含む多孔質多結晶シリコン層を形成し、多孔質多結晶シリコン層を急速加熱法ないし電気化学的な酸化方法によって酸化することで強電界ドリフト層6を形成している。ここに、強電界ドリフト層6は、多結晶シリコンのグレイン、多数のナノメータオーダのシリコン微結晶、各グレインの表面に形成された薄いシリコン酸化膜、各シリコン微結晶の表面に形成されたシリコン酸化膜とを有している。

#### 【0014】

##### 【特許文献1】

特許第2987140号公報（第4頁—第7頁、図1—図3）

#### 【0015】

##### 【特許文献2】

特許第3112456号公報（第10頁—第14頁、図1、図2、図8、図9）

#### 【0016】

##### 【発明が解決しようとする課題】

上述のように、図20に示した構成の電界放射型電子源10は、その製造にあたって、絶縁性基板11の上記一表面上にパターニングされた下部電極12を形成した後で絶縁性基板11の上記一表面側の全面に多結晶シリコン層3を成膜して、多結晶シリコン層3のうち下部電極12に重なる部分を陽極酸化することによって多孔質化し、さらに酸化することによって強電界ドリフト層6を形成しているものである。

#### 【0017】

しかしながら、図20に示す構成の電界放射型電子源10では、下部電極12上に成膜した多結晶シリコン層3をもと（ベース）にして強電界ドリフト層6を形成しているので、多結晶シリコン層3の成膜時に多結晶シリコン層3に形成さ

れたピンホールなどの欠陥に起因して強電界ドリフト層6にも欠陥が形成されてしまい、強電界ドリフト層6にかかる電界が面内で不均一になって、電子放出特性の面内ばらつきが大きくなつてディスプレイの輝度ムラが大きくなつてしまつという不具合や強電界ドリフト層6のうち電界強度の強い部分で劣化が促進されて寿命が短くなつてしまつという不具合があつた。また、図20に示す構成の電界放射型電子源10では、上述の強電界ドリフト層6の欠陥に起因してロット間での電子放出特性のばらつきも大きくなつてしまつという不具合があつた。なお、図18に示す構成の電界放射型電子源10”においても、多結晶シリコン層3の成膜時に多結晶シリコン層3に形成されたピンホールなどの欠陥に起因して強電界ドリフト層6に欠陥が形成されてしまつので、ロット間での電子放出特性のばらつきが大きくなつたり、大面積化を図った際に電子放出特性の面内ばらつきが大きくなつてしまつという不具合や、強電界ドリフト層6のうち電界強度の強い部分で劣化が促進されて寿命が短くなつてしまつという不具合があつた。

#### 【0018】

本発明は上記事由に鑑みて為されたものであり、その目的は、従来に比べて電子放出特性の面内ばらつきが小さな電界放射型電子源およびその製造方法を提供することにある。

#### 【0019】

##### 【課題を解決するための手段】

請求項1の発明は、上記目的を達成するために、下部電極と、表面電極と、下部電極と表面電極との間に表面電極を高電位側として電圧を印加したときに作用する電界により電子が通過する強電界ドリフト層とを有する電子源素子が絶縁性基板の一表面側に形成され、電子源素子における強電界ドリフト層と下部電極との間にバッファ層が設けられてなることを特徴とするものであり、「電子源素子における強電界ドリフト層と下部電極との間にバッファ層が設けられているので、強電界ドリフト層に形成される欠陥を少なくすることができ、従来に比べて強電界ドリフト層にかかる電界を面内で均一化することができるから、従来に比べて電子放出特性の面内ばらつきを小さくできる。

#### 【0020】

請求項2の発明は、請求項1の発明において、前記バッファ層は、アモルファス層からなるので、前記バッファ層を比較的低温で容易に形成することができる。

#### 【0021】

請求項3の発明は、請求項1の発明において、前記絶縁性基板の前記一表面側に前記電子源素子が複数形成され、前記絶縁性基板がガラス基板であって、前記バッファ層は、赤外線を吸収する材料からなり、前記強電界ドリフト層の形成前に前記絶縁性基板の前記一表面側の全体にわたって成膜した膜の一部からなるので、前記強電界ドリフト層を形成するために前記絶縁性基板を前記一表面とは反対の他表面側から加熱したときに前記下部電極のパターンによらず前記絶縁性基板の前記一表面側における温度分布を均一化でき、前記強電界ドリフト層の形成前に前記絶縁性基板の前記一表面側に成膜され一部がバッファ層となる膜が前記下部電極に重なる領域のみに形成されている場合に比べて、前記強電界ドリフト層の品質の面内ばらつきを小さくできて電子放出特性の面内ばらつきを小さくすることができる。

#### 【0022】

請求項4の発明は、請求項3の発明において、前記アモルファス層がアモルファスシリコン層からなるので、前記アモルファス層を一般的な半導体製造プロセスで形成することができる。

#### 【0023】

請求項5の発明は、請求項1ないし請求項4の発明において、前記強電界ドリフト層は、前記下部電極の厚み方向に沿って形成された複数の柱状の半導体結晶と、半導体結晶間に介在する多数のナノメータオーダーの半導体微結晶と、各半導体微結晶それぞれの表面に形成され半導体微結晶の結晶粒径よりも小さな膜厚の多数の絶縁膜とを有するので、電子放出時の真空度依存性が小さく、また、前記強電界ドリフト層で発生した熱の一部が柱状の半導体結晶を通して放熱されるから、電子放出時にポッピング現象が発生せず安定して電子を放出することができる。

#### 【0024】

請求項 6 の発明は、請求項 1 ないし請求項 5 のいずれか 1 項に記載の電界放射型電子源の製造方法であって、前記絶縁性基板の前記一表面側に前記下部電極を形成した後、前記強電界ドリフト層を形成する前に、前記下部電極上に前記バッファ層を形成することを特徴とし、前記下部電極上に前記強電界ドリフト層を形成する場合に比べて前記強電界ドリフト層に欠陥が形成されにくくなつて前記強電界ドリフト層の品質が向上するので、従来に比べて電子放出特性の面内ばらつきが小さな電界放射型電子源を提供することができる。また、ロット間での電界放射型電子源の電子放出特性のばらつきを小さくすることができる。

#### 【0025】

請求項 7 の発明は、請求項 5 記載の電界放射型電子源の製造方法であって、前記絶縁性基板の前記一表面側に前記下部電極を形成する下部電極形成工程と、下部電極形成工程の後で前記絶縁性基板の前記一表面側に前記バッファ層を成膜する第 1 の成膜工程と、前記バッファ層の表面側に多結晶半導体層を成膜する第 2 の成膜工程と、多結晶半導体層の少なくとも一部をナノ結晶化することで前記各半導体微結晶を形成するナノ結晶化工程と、前記各半導体微結晶それぞれの表面に前記絶縁膜を形成する絶縁膜形成工程とを備えることを特徴とし、前記下部電極上に多結晶半導体層を形成する場合に比べて多結晶シリコン層に欠陥が形成されにくくなり、結果的に前記強電界ドリフト層の品質が向上するので、従来に比べて電子放出特性の面内ばらつきが小さな電界放射型電子源を提供することができる。また、ロット間での電界放射型電子源の電子放出特性のばらつきを小さくすることができる。

#### 【0026】

請求項 8 の発明は、請求項 7 の発明において、前記第 1 の成膜工程の後、前記バッファ層の表面を大気に曝すことなく前記第 2 の成膜工程を行うので、前記バッファ層と前記多結晶半導体層との間に酸化膜からなるバリア層が形成されるのを防止することができ、バリア層に起因した電子放出特性の低下を防止できる。

#### 【0027】

請求項 9 の発明は、請求項 8 の発明において、前記第 1 の成膜工程と前記第 2 の成膜工程とを同一チャンバ内で連続的に行うので、製造期間の短縮を図れる。

**【0028】**

請求項10の発明は、請求項9の発明において、前記第1の成膜工程および前記第2の成膜工程では成膜法としてプラズマCVD法を採用し、前記第1の成膜工程から前記第2の成膜工程へ切り替える際に放電パワーを前記バッファ層の形成条件から前記多結晶半導体層の形成条件へ変化させてるので、放電パワーを含めた複数のプロセスパラメータを変化させる場合に比べてプロセスを簡略化できる。

**【0029】**

請求項11の発明は、請求項9の発明において、前記第1の成膜工程および前記第2の成膜工程では成膜法としてプラズマCVD法を採用し、前記第1の成膜工程から前記第2の成膜工程へ切り替える際に放電圧力を前記バッファ層の形成条件から前記多結晶半導体層の形成条件へ変化させてるので、放電圧力を含めた複数のプロセスパラメータを変化させる場合に比べてプロセスを簡略化できる。

**【0030】**

請求項12の発明は、請求項9の発明において、前記第1の成膜工程および前記第2の成膜工程では成膜法としてプラズマCVD法若しくは触媒CVD法を採用し、前記第1の成膜工程から前記第2の成膜工程へ切り替える際に原料ガスの分圧比を前記バッファ層の形成条件から前記多結晶半導体層の形成条件へ変化させてるので、原料ガスの分圧比を含めた複数のプロセスパラメータを変化させる場合に比べてプロセスを簡略化できる。

**【0031】**

請求項13の発明は、請求項9の発明において、前記第1の成膜工程および前記第2の成膜工程では成膜法としてプラズマCVD法若しくは触媒CVD法を採用し、前記第1の成膜工程から前記第2の成膜工程へ切り替える際に原料ガスの種類を前記バッファ層の形成条件から前記多結晶半導体層の形成条件へ変化させてるので、原料ガスの種類を含めた複数のプロセスパラメータを変化させる場合に比べてプロセスを簡略化できる。

**【0032】**

請求項14の発明は、請求項7または請求項8の発明において、前記第1の成

膜工程と前記第2の成膜工程との間に、前記バッファ層の表面へ前記第2の成膜工程初期における結晶核形成を起こりやすくする処理を施す成長前処理工程を備えるので、前記第2の成膜工程で前記多結晶半導体層を成膜する際に前記多結晶半導体層の結晶成長が促進されて膜質が向上し、結果的に電界放射型電子源の電子放出特性および寿命が向上する。

#### 【0033】

請求項15の発明は、請求項14の発明において、前記成長前処理工程は、前記バッファ層の表面へプラズマ処理を施す工程であるので、前記第2の成膜工程においてプラズマCVD装置のようなプラズマを利用した成膜装置を用いる場合に、前記成長前処理工程を前記第2の成膜工程と同一チャンバ内で行うことができ、前記成長前処理工程と前記第2の成膜工程とを連続的に行うことができるから、製造期間の短縮を図れる。

#### 【0034】

請求項16の発明は、請求項14の発明において、前記成長前処理工程は、前記バッファ層の表面へ水素プラズマ処理を施す工程であり、前記第2の成膜工程では少なくともシラン系のガスを原料ガスとしたプラズマCVD法により前記多結晶半導体層としての多結晶シリコン層を成膜するので、前記成長前処理工程を前記第2の成膜工程と同一チャンバ内で行うことができるから、前記成長前処理工程と前記第2の成膜工程とを連続的に行うことができ、製造期間の短縮を図れ、しかも、前記第2の成膜工程でシラン系のガスと水素ガスとを用いる場合、前記成長前処理工程では前記第2の成膜工程で用いる原料ガスの一つである水素ガスの配管を通してチャンバ内へ水素ガスを導入すればよいから、プラズマCVD法で用いる装置を特に改造することなく使用することができる。

#### 【0035】

請求項17の発明は、請求項14の発明において、前記成長前処理工程は、前記バッファ層の表面へアルゴンプラズマ処理を施す工程であるので、前記第2の成膜工程においてプラズマCVD装置のようなプラズマを利用した成膜装置を用いる場合に、前記成長前処理工程を前記第2の成膜工程と同一チャンバ内で行うことができるから、前記成長前処理工程と前記第2の成膜工程とを連続的に行う

ことができ、製造期間の短縮を図れ、請求項16の発明に比べて前記多結晶半導体層の結晶化をより促進することができる。

### 【0036】

請求項18の発明は、請求項14の発明において、前記成長前処理工程は、前記バッファ層の表面へ多数のシリコン微結晶を含む層を形成する工程であるので、請求項15ないし請求項17のようなプラズマ処理を施すことなく前記多結晶半導体層の結晶化を促進することができる。

### 【0037】

#### 【発明の実施の形態】

本実施形態の電界放射型電子源10は、図1に示すように、絶縁性を有するガラス基板よりなる絶縁性基板11と、絶縁性基板11の一表面側において列設された複数の下部電極12と、絶縁性基板11の上記一表面上に平行な面内で下部電極12に直交する方向に列設された複数の表面電極7と、絶縁性基板11の上記一表面側に設けられた電子通過部5とを備えている。ここにおいて、電子通過部5は、各下部電極12にそれぞれ重なる形で形成された複数のノンドープのアモルファスシリコン層からなるバッファ層14と、各バッファ層14それぞれに重なる形で形成された複数のノンドープの多結晶シリコン層3と、各多結晶シリコン層3にそれぞれ重なる形で形成された複数の強電界ドリフト層6と、隣り合う強電界ドリフト層6間および隣り合う多結晶シリコン層3および隣り合うバッファ層14間および隣り合う下部電極12間を埋めている分離層16とで構成されている。なお、分離層16は、上述の多結晶シリコン層3と同時に形成されたノンドープの多結晶シリコン層および上述のバッファ層14と同時に形成されたノンドープのアモルファスシリコン層により構成されている。

### 【0038】

下部電極12は金属材料からなる単層（例えば、W, Mo, Cr, Ti, Ta, Ni, Al, Cu, Au, Ptなどの金属あるいは合金あるいはシリサイドなど金属間化合物からなる単層）の金属薄膜をパターニングすることにより構成されているが、多層（例えば、W, Mo, Cr, Ti, Ta, Ni, Al, Cu, Au, Ptなどの金属あるいは合金あるいはシリサイドなど金属間化合物からな

る多層)の薄膜をパターニングすることにより構成してもよい。なお、下部電極12の厚さは250nm~300nm程度に設定されている。

#### 【0039】

また、表面電極7の材料には仕事関数の小さな材料(例えば、金)が採用されているが、表面電極7の材料は金に限定されるものではなく、また、表面電極7は単層構造に限らず、多層構造としてもよい。表面電極7の厚さは強電界ドリフト層6を通ってきた電子がトンネルできる厚さであればよく、10~15nm程度に設定すればよい。なお、各下部電極12および各表面電極7はそれぞれ短冊状に形成されており、絶縁性基板11の厚み方向において表面電極7の一部が下部電極12と対向している。また、各下部電極12の長手方向の両端部上にはパッド28が形成され、各表面電極7の長手方向の両端部上にはパッド27が形成されている。

#### 【0040】

本実施形態の電界放射型電子源10は、図20に示した従来構成と同様に、絶縁性基板11の一表面側において列設された複数の下部電極12と、下部電極12に交差する方向に列設された複数の表面電極7との交点に相当する部位に強電界ドリフト層6の一部が挟まれているから、表面電極7と下部電極12との組を適宜選択して選択した組間に電圧を印加することにより、強電界ドリフト層6において選択された表面電極7と下部電極12との交点に相当する部位に強電界が作用して電子が放出される。つまり、複数の表面電極7の群と複数の下部電極12の群とからなるマトリクス(格子)の格子点に、下部電極12と、下部電極12上のバッファ層14と、バッファ層14上の多結晶シリコン層3と、多結晶シリコン層3上の強電界ドリフト層6と、強電界ドリフト層6上の表面電極7とかなる電子源素子10aを配置したことに相当し、電圧を印加する表面電極7と下部電極12との組を選択することによって所望の電子源素子10aから電子を放出させることが可能になる。したがって、表面電極7は必ずしも短冊状に形成する必要はなく、電子源素子10aに対応する部位にのみ形成して下部電極12に直交する方向に並んだ表面電極7を低抵抗のバス電極により電気的に接続するようにしてもよい。

### 【0041】

強電界ドリフト層6は、後述のナノ結晶化プロセスおよび酸化プロセスを行うことにより形成されており、図2に示すように、少なくとも、下部電極12の表面側に列設された柱状の多結晶シリコンのグレイン（半導体結晶）51と、グレイン51の表面に形成された薄いシリコン酸化膜52と、グレイン51間に介在する多数のナノメータオーダのシリコン微結晶（半導体微結晶）63と、各シリコン微結晶63の表面に形成され当該シリコン微結晶63の結晶粒径よりも小さな膜厚の酸化膜である多数のシリコン酸化膜（絶縁膜）64とから構成されると考えられる。ここに、各グレイン51は、下部電極12の厚み方向に延びている（つまり、絶縁性基板11の厚み方向に延びている）。

### 【0042】

なお、本実施形態における電子源素子10aから電子を放出させるには、例えば、図3に示すように、表面電極7に対向配置されたコレクタ電極21を設け、表面電極7とコレクタ電極21との間を真空とした状態で、表面電極7が下部電極12に対して高電位側となるように表面電極7と下部電極12との間に駆動電源Vaから駆動電圧を印加するとともに、コレクタ電極21が表面電極7に対して高電位側となるようにコレクタ電極21と表面電極7との間に直流電圧Vcを印加する。ここに、上記駆動電圧を適宜に設定すれば、下部電極12から注入された電子が強電界ドリフト層6をドリフトし表面電極7を通して放出される（図3中的一点鎖線は表面電極7を通して放出された電子eーの流れを示す）。

### 【0043】

したがって、本実施形態における電子源素子10aでは、次のようなモデルで電子放出が起こると考えられる。すなわち、表面電極7と下部電極12との間に表面電極7を高電位側として駆動電源Vaから駆動電圧を印加することにより、下部電極12から強電界ドリフト層6へ電子eーが注入される。一方、強電界ドリフト層6に印加された電界の大部分はシリコン酸化膜64にかかるから、注入された電子eーはシリコン酸化膜64にかかっている強電界により加速され、強電界ドリフト層6におけるグレイン51の間の領域を表面に向かって図3中の矢印の向き（図3における上向き）ヘドリフトし、表面電極7をトンネルし真空中

に放出される。しかし、強電界ドリフト層 6 では下部電極 12 から注入された電子がシリコン微結晶 63 でほとんど散乱されることなくシリコン酸化膜 64 にかかっている電界で加速されてドリフトし、表面電極 7 を通して放出され、強電界ドリフト層 6 で発生した熱がグレイン 51 を通して放熱されるから、電子放出時にポッピング現象が発生せず、安定して電子を放出することができる。なお、強電界ドリフト層 6 の表面に到達した電子はホットエレクトロンであると考えられ、表面電極 7 を容易にトンネルし真空中に放出される。

#### 【0044】

なお、本実施形態の電界放射型電子源 10 は、上述の絶縁性基板 11 のガラス基板として PDP などで用いられている高歪み点ガラス基板の一種である CS77（サンゴバン社製のガラス基板の商品名）を採用しており、絶縁性基板 11 の熱膨張係数がシリコンの熱膨張係数よりも大きいので、下部電極 12 と絶縁性基板 11 との間に下部電極 12 から電子通過部 5 が剥れるのを防止するためにノンドープの多結晶シリコン層からなる剥れ防止層 13 を介在させてある。

#### 【0045】

ところで、本実施形態の電界放射型電子源 10 はマルチカラーの画像表示装置に用いるものであって、図 4 に示した構成の駆動回路 30 により駆動される。ここに、駆動回路 30 は、複数の表面電極 7 からなる X 電極群の各表面電極 7 の電位を制御する X 制御部 33 と、複数の下部電極 12a からなる Y 電極群の各下部電極 12a の電位を制御する Y 制御部 34 と、入力された映像信号をマトリクス電子源 10 の駆動用の信号に変換する信号処理部 31 と、信号処理部 31 により変換された信号に基づいて X 制御部 33 および Y 制御部 34 に指示を与える駆動信号制御部 32 とを備えている。また、各電子源素子 10a は、図 20 に示した従来構成と同様に電界放射型電子源 10 に対向配置されるガラス製のフェースプレート 50（図 20 参照）における電界放射型電子源 10 との対向面側に設けられた R, G, B いずれかの蛍光体からなる個々のサブピクセル毎に形成されている。

#### 【0046】

本実施形態の電界放射型電子源 10 を駆動する駆動回路 30 では、選択した電

子源素子10aの表面電極7と下部電極12との間に図5に示す示すような単パルス状の順バイアス電圧V1を印加した後に当該電子源素子10aの表面電極7と下部電極12との間に単パルス状の逆バイアス電圧V2を印加するようになつており、電子源素子10aに逆バイアス電圧が印加されたときに当該電子源素子10aに流れる逆方向電流を検出して逆方向電流が所望の範囲内に収まる（例えば、電子源素子10aの駆動開始時の逆方向電流の電流値を規定電流値とし一定の規定電流値付近で安定する）ように表面電極7と下部電極12との間に印加される逆バイアス電圧を制御する逆バイアス制御部35を備えている。

#### 【0047】

以下、本実施形態の電界放射型電子源10の製造方法について図6を参照しながら説明する。ただし、図6には1つの電子源素子10aに対応する部分の断面を示してある。

#### 【0048】

まず、剥れ防止層13を形成するために所定厚さ（例えば、2.8mm）の絶縁性基板11の上記一表面上に所定膜厚（例えば、100nm）のノンドープの多結晶シリコン層をプラズマCVD法によって所定の成膜温度（例えば、450°C）で成膜し、次に、下部電極12を形成するために上記多結晶シリコン層上に所定膜厚（例えば、250nm）の金属薄膜（例えば、タンゲステン膜）をスパッタ法によって形成した後、金属薄膜上にフォトレジスト層を塗布形成し、金属薄膜のうち下部電極12となる部分を残すためにフォトレジスト層をフォトリソグラフィ技術を利用してパターニングしてから、フォトレジスト層をマスクとして金属薄膜および上記薄膜を反応性イオンエッチング法によってパターニングすることでそれぞれ金属薄膜の一部からなる複数の下部電極12およびそれぞれ上記多結晶シリコン層の一部からなる複数の剥れ防止層13を形成し、続いて、フォトレジスト層を除去してから、絶縁性基板11の上記一表面側の全面に所定膜厚（例えば、80nm）のアモルファスシリコン層からなるバッファ層14をプラズマCVD法によって成膜し、続いて、所定膜厚（例えば、1.5μm）のノンドープの多結晶シリコン層3をプラズマCVD法によって所定の成膜温度（例えば、450°C）で成膜することにより、図6（a）に示す構造が得られる。な

お、本実施形態では、多結晶シリコン層3が絶縁性基板11の上記一表面側に成膜した半導体層を構成している。また、本実施形態では、下部電極12を形成する工程が下部電極形成工程となり、バッファ層14を成膜する工程が第1の成膜工程となり、ノンドープの多結晶シリコン層3を成膜する工程が第2の成膜工程となる。また、本実施形態では、上記アモルファスシリコン層が、強電界ドリフト層6の形成前に絶縁性基板11の上記一表面側の全体にわたって成膜した膜を構成している。

#### 【0049】

ノンドープの多結晶シリコン層3を形成した後、上述のナノ結晶化プロセスを行うことにより、多結晶シリコンの多数のグレイン51（図2参照）と多数のシリコン微結晶63（図2参照）とが混在する複合ナノ結晶層（以下、第1の複合ナノ結晶層と称す）4を強電界ドリフト層6の形成予定部位に形成することにより、図6（b）に示す構造が得られる。ここにおいて、ナノ結晶化プロセスでは、55wt%のフッ化水素水溶液とエタノールとを略1:1で混合した混合液よりなる電解液を用い、下部電極12を陽極とし、電解液中において多結晶シリコン層3に白金電極よりなる陰極を対向配置して、500Wのタンクステンランプからなる光源により多結晶シリコン層3の主表面に光照射を行いながら、電源から陽極と陰極との間に定電流（例えば、電流密度が12mA/cm<sup>2</sup>の電流）を所定時間（例えば、10秒）だけ流すことによって、多結晶シリコンのグレイン51およびシリコン微結晶63を含む第1の複合ナノ結晶層4を多結晶シリコン層3において下部電極12に重なる部位に形成する。なお、本実施形態では、ナノ結晶化プロセスがナノ結晶化工程となる。

#### 【0050】

ナノ結晶化プロセスが終了した後に、上述の酸化プロセスを行うことで第1の複合ナノ結晶層4を電気化学的に酸化することによって、図2のような構成の複合ナノ結晶層（以下、第2の複合ナノ結晶層と称す）からなる強電界ドリフト層6を多結晶シリコン層3において下部電極12に重なる部位に形成することにより、図6（c）に示す構造が得られる。酸化プロセスでは、エチレンギリコールからなる有機溶媒中に0.04mol/lの硝酸カリウムからなる溶質を溶かし

た溶液よりなる電解液を用い、下部電極12を陽極とし、電解液中において第1の複合ナノ結晶層4に白金電極よりなる陰極を対向配置して、下部電極12を陽極とし、電源から陽極と陰極との間に定電流（例えば、電流密度が0.1mA/cm<sup>2</sup>の電流）を流し陽極と陰極との間の電圧が20Vだけ上昇するまで第1の複合ナノ結晶層4を電気化学的に酸化することによって、上述のグレイン51、シリコン微結晶63、各シリコン酸化膜52、64を含む第2の複合ナノ結晶層からなる強電界ドリフト層6を形成するようになっている。ここにおいて、多結晶シリコン層3のうち隣り合う強電界ドリフト層6の間を埋める部分が上述の分離層16となる。なお、本実施形態では、上述のナノ結晶化プロセスを行うことによって形成される第1の複合ナノ結晶層4においてグレイン51、シリコン微結晶63以外の領域はアモルファスシリコンからなるアモルファス領域となっており、強電界ドリフト層6においてグレイン51、シリコン微結晶63、各シリコン酸化膜52、64以外の領域がアモルファスシリコン若しくは一部が酸化したアモルファスシリコンからなるアモルファス領域65となっているが、ナノ結晶化プロセスの条件によってはアモルファス領域65が孔となり、このような場合の第1の複合ナノ結晶層4は多孔質多結晶シリコン層4'（図19参照）と同じ構成とみなすことができる。また、本実施形態では、酸化プロセスが絶縁膜形成工程となる。

#### 【0051】

強電界ドリフト層6および分離層16を形成した後は、例えば蒸着法などによって金薄膜からなる表面電極7を形成することにより、図6（d）に示す構造の電界放射型電子源10が得られる。

#### 【0052】

以上説明した製造方法にて製造した本実施形態の電界放射型電子源10は、電子源素子10aにおける強電界ドリフト層6と下部電極12との間にバッファ層14が設けられているので、強電界ドリフト層6に形成される欠陥を少なくすることができ、従来に比べて強電界ドリフト層6にかかる電界を面内で均一化することができるから、従来に比べて電子放出特性の面内ばらつきを小さくできる。要するに、上述の製造方法によれば、下部電極12上にバッファ層14を設けて

いない場合に比べて強電界ドリフト層6のベースとなるノンドープの多結晶シリコン層3に欠陥が形成されにくくなつて結果的に強電界ドリフト層6にも欠陥が形成されにくくなり、強電界ドリフト層6の品質が向上するから、従来に比べて電子放出特性の面内ばらつきが小さな電界放射型電子源10を提供することができる。また、ロット間での電界放射型電子源10の電子放出特性のばらつきを小さくすることができる。

#### 【0053】

ところで、本実施形態では、バッファ層14としてアモルファスシリコン層のようなアモルファス層を採用しているが、アモルファス層は一般的に多結晶シリコン層のような多結晶層に比べて電気抵抗が高く、バッファ層14の膜厚が厚くなるほどバッファ層14での電気抵抗成分が増大し、電子源としての特性が悪くなってしまう（エミッション電流Ieや電子放出効率が低下してしまう）ので、バッファ層14の膜厚は薄い方が望ましく、電子源素子10aにおいてバッファ層14と強電界ドリフト層6との間に介在する多結晶シリコン層3の膜厚以下とすることでバッファ層14の電気抵抗成分の影響を抑えることができる。

#### 【0054】

ここに、一実施例（以下、実施例1と称す）として、バッファ層14の膜厚を80nmとし、表面電極7および下部電極12の数を両方とも4本ずつとして製造した電界放射型電子源10の電子放出特性について説明する。なお、説明を簡単にするため、図7に示すように、4本の表面電極7がそれぞれ行選択電極X1、X2、X3、X4を兼ね、4本の下部電極12をそれぞれ列選択電極Y1、Y2、Y3、Y4を兼ねているものとして説明する。なお、電子源素子10aの駆動条件としては、上述の図5における順バイアス電圧V1の電圧値を18(V)、パルス幅H1を5(ms)、逆バイアス電圧V2の電圧値を-10(V)、パルス幅H2を5(ms)とした。

#### 【0055】

図8に実施例1の電界放射型電子源10の電子放出特性を示し、図9に一比較例（以下、比較例1と称す）としてバッファ層14を設けていない電界放射型電子源10の電子放出特性を示す。図8および図9の横軸は上記駆動電圧（バイア

ス電圧)、縦軸は電流密度であり、各図の上側の4種類のマークで区別した特性はダイオード電流  $I_{ps}$  (図3参照) の電流密度、各図の下側の4種類のマークで区別した特性はエミッショニ電流  $I_e$  (図3参照) の電流密度を示しており、「A」を付したマークが列選択電極Y1に関係する4個の電子源素子10aの特性を示し、「B」を付したマークが列選択電極Y2に関係する4個の電子源素子10aの特性を示し、「C」を付したマークが列選択電極Y3に関係する4個の電子源素子10aの特性を示し、「D」を付したマークが列選択電極Y4に関係する4個の電子源素子10aの特性を示している。図8と図9との比較から膜厚が80nmのバッファ層14を設けてもI-V特性に影響がないことが分かる。これに対して、電界放射型電子源10にフェースプレートを対向配置しフェースプレートにおける電界放射型電子源10との対向面に設けた蛍光体層の発光パターンより電子放出特性を比較した結果を図10に示す。ここに、図10は、(a)がバッファ層14を設けていない比較例1の電界放射型電子源を用いた表示装置の発光パターン、(b)がバッファ層14を設けた実施例1の電界放射型電子源10を用いた表示装置の発光パターンを示している。図10から、バッファ層14を設けた実施例1の方がバッファ層14を設けていない比較例1に比べて輝度の面内ばらつきが小さいことが分かり、輝度はエミッショニ電流  $I_e$  の大きさにより決まるので、バッファ層14を設けた実施例1の方がバッファ層14を設けていない比較例1に比べてエミッショニ電流  $I_e$  の面内ばらつきが小さくなっていることが分かる。以上の結果から、バッファ層14は電子放出特性の面内均一性を向上させるには膜厚として100nmもあれば十分であることが分かるので、バッファ層14の膜厚は200nm以下、望ましくは100nm以下とすればよい。

#### 【0056】

また、上述の製造方法では、バッファ層14を成膜する第1の成膜工程における成膜法としてプラズマCVD法を採用し、ノンドープの多結晶シリコン層3を成膜する第2の成膜工程における成膜法としてプラズマCVD法を採用しているので、第1の成膜工程と第2の成膜工程とで1つのプラズマCVD装置を用いるようにし、第1の成膜工程の後、バッファ層14の表面を大気に曝すことなく第

2の成膜工程を行うようにしているので、バッファ層14と多結晶シリコン層3との間に酸化膜からなるバリア層が形成されるのを防止することができ、バリア層が抵抗成分となって電子放出特性に与える影響をなくすことができる。また、第1の成膜工程と第2の成膜工程とを同一チャンバ内で連続的に行うので、製造期間の短縮を図れる。なお、本実施形態では、バッファ層14上に成膜するノンドープの多結晶シリコン層3が多結晶半導体層を構成している。

### 【0057】

ところで、上述のように、第1の成膜工程および第2の成膜工程で成膜法としてプラズマCVD法を採用しており、プラズマCVD法のプロセスパラメータとしては、放電パワー、放電圧力、原料ガスの分圧比、原料ガスの種類、原料ガスの流量、基板温度などがあるが、本実施形態では、第1の成膜工程にて成膜するバッファ層14がアモルファスシリコン層であり、第2の成膜工程にて成膜する多結晶半導体層がノンドープの多結晶シリコン層3なので、第1の成膜工程から第2の成膜工程へ切り替える際に放電パワーをバッファ層14の形成条件（例えば、400W）から多結晶シリコン層3の形成条件（例えば、1.8kW）へ変化させるようすれば、放電パワーを含めた種々のプロセスパラメータの中から複数のプロセスパラメータを変化させる場合に比べてプロセスを簡略化できる。同様に、第1の成膜工程から第2の成膜工程へ切り替える際に放電圧力をバッファ層14の形成条件（例えば、6.7Pa）から多結晶シリコン層3の形成条件（例えば、1.3Pa）へ変化させるようすれば、放電圧力を含めた種々のプロセスパラメータの中から複数のプロセスパラメータを変化させる場合に比べてプロセスを簡略化できる。また、第1の成膜工程から第2の成膜工程へ切り替える際に原料ガスであるシラン系のガス（例えば、SiH<sub>4</sub>ガス）とH<sub>2</sub>ガスとの分圧比をバッファ層14の形成条件（例えば、SiH<sub>4</sub> : H<sub>2</sub> = 1 : 0）から多結晶シリコン層3の形成条件（例えば、SiH<sub>4</sub> : H<sub>2</sub> = 1 : 10）へ変化させるので、原料ガスの分圧比を含めた種々のプロセスパラメータの中から複数のプロセスパラメータを変化させる場合に比べてプロセスを簡略化できる。また、第1の成膜工程から第2の成膜工程へ切り替える際に原料ガスの種類をバッファ層14の形成条件（例えば、SiH<sub>4</sub>ガスとN<sub>2</sub>ガスとの組み合わせ）から多結晶

シリコン層3の形成条件（例えば、SiH<sub>4</sub>ガスとArガスとの組み合わせ）へ変化させるようにすれば、原料ガスの種類を含めた種々のプロセスパラメータの中から複数のプロセスパラメータを変化させる場合に比べてプロセスを簡略化できる。なお、第1の成膜工程から第2の成膜工程へ切り替える際に複数のプロセスパラメータを変化させるようにしてもよいことは勿論である。また、第1の成膜工程および第2の成膜工程で成膜法として触媒CVD法を採用してもよく、この場合、第1の成膜工程から第2の成膜工程へ切り替える際に種々のプロセスパラメータのうちの一つのプロセスパラメータ（例えば原料ガスの分圧比あるいは原料ガスの種類）を変化させるようにしてもよいし、複数のプロセスパラメータを変化させるようにしてもよい。

#### 【0058】

ところで、上述の製造方法において、第1の成膜工程と第2の成膜工程との間に、バッファ層14の表面へ第2の成膜工程初期における結晶核形成を起こりやすくする処理を施す成長前処理工程を行うようにすれば、第2の成膜工程で多結晶シリコン層3を成膜する際に多結晶シリコン層3の結晶成長が促進されて膜質が向上し、結果的に電界放射型電子源10の電子放出特性および寿命が向上する。ここにおいて、成長前処理工程としては、例えば、バッファ層14の表面へプラズマ処理を施す工程を採用すればよく、成長前処理工程と第2の成膜工程とを一つのプラズマCVD装置で行う（つまり、同一チャンバ内で行う）ことができ、成長前処理工程と第2の成膜工程とを連続的に行うことができるので、製造期間の短縮を図れる。なお、プラズマ処理としては、水素プラズマ処理やアルゴンプラズマ処理などを採用すればよく、水素プラズマ処理を採用する場合には第2の成膜工程における原料ガスとしてシラン系のガスと水素ガスとを用いるのであれば第2の成膜工程で用いる原料ガスの一つである水素ガスの配管を通してチャンバ内へ水素ガスを導入すればよいから、プラズマCVD法で用いる装置を特に改造することなく使用することができる。また、アルゴンプラズマ処理を採用した場合には、水素プラズマ処理を採用した場合に比べて多結晶シリコン層3の結晶化をより促進することができる。また、成長前処理工程として、バッファ層14の表面へ多数のシリコン微結晶を含む層を形成する工程を採用してもよく、こ

の場合はプラズマ処理を施すことなく多結晶シリコン層3の結晶化を促進することができる。

### 【0059】

図11および図13に成長前処理工程を行って製造した他の実施例（以下、実施例2と称す）の電界放射型電子源10の電子放出特性の経時特性を示し、図12および図14に成長前処理工程を行わずに製造した他の比較例（以下、比較例2と称す）の電界放射型電子源10の電子放出特性の経時特性を示す。ここに、図11および図12の横軸は上記駆動電圧（バイアス電圧）、縦軸は電流密度であり、各図の上側の4種類のマークで区別した特性はダイオード電流I<sub>ps</sub>（図3参照）の電流密度、各図の下側の4種類のマークで区別した特性はエミッション電流I<sub>e</sub>（図3参照）の電流密度を示しており、「A」を付したマークが列選択電極Y1に関する4個の電子源素子10aの特性を示し、「B」を付したマークが列選択電極Y2に関する4個の電子源素子10aの特性を示し、「C」を付したマークが列選択電極Y3に関する4個の電子源素子10aの特性を示し、「D」を付したマークが列選択電極Y4に関する4個の電子源素子10aの特性を示している。また、図13および図14は、横軸が連続駆動した場合の駆動開始からの経過時間、左側の縦軸が電流密度、右側の縦軸が電子放出効率であり、各図中の「イ」がダイオード電流I<sub>ps</sub>の電流密度、「ロ」がエミッション電流I<sub>e</sub>の電流密度、「ハ」が電子放出効率である。また、成長前処理工程の条件としては、水素プラズマに曝す時間を40分とし、このときの基板温度を400℃、放電圧力を1.3Pa、放電電力を2kWとした。

### 【0060】

図11および図12から、成長前処理工程を行った実施例2の方が成長前処理工程を行っていない比較例2に比べてI-V特性が向上（エミッション電流I<sub>e</sub>が向上）していることが分かり、図13および図14から、成長前処理工程を行った実施例2の方が成長前処理工程を行っていない比較例2に比べてエミッション電流I<sub>e</sub>および電子放出効率が向上していることが分かる。

### 【0061】

また、本実施形態では、下部電極12と絶縁性基板11との間に剥れ防止層1

3を介在させてあることにより、製造時に電子通過部5ないし電子通過部5となる部分が従来に比べて剥がれにくくなるので、製造時の歩留まりが向上し、製造コストを低減することができ、電界放射型電子源10の低コスト化を図ることができる。また、製造後においても電子通過部5が下部電極12から剥がれるのを防止することができ、長期的な信頼性を高めることができる。なお、絶縁性基板11として高歪み点ガラス基板に比べてシリコンとの熱膨張係数が近いガラス基板を採用する場合には、剥れ防止層13は必ずしも設ける必要はない。

### 【0062】

ところで、絶縁性基板11としてガラス基板を採用した場合、絶縁性基板11を他表面側から基板加熱用のヒータにより加熱して所望の基板温度にする際に、ヒータから放射された赤外線が下部電極12を加熱するので、図16に示すようにバッファ層14を設けていない構成では、絶縁性基板11の一表面側にノンドープの多結晶シリコン層3を成膜する第2の成膜工程において、絶縁性基板11の他表面側からヒータ40により加熱したときに下部電極12のパターンが密な部分と下部電極12のパターンが疎な部分とで温度が異なり疎な部分での加熱が不十分となって多結晶シリコン層3のうち下部電極12のパターンの疎な部分の領域3b, 3cの膜質が下部電極12のパターンの密な部分の領域3aの膜質に比べて悪くなってしまう。なお、図16においてヒータ40から絶縁性基板11の厚み方向へ延びた各矢印は下部電極12に吸収される熱の流れを模式的に示したものであり、矢印の左右の幅が広いほど吸収される熱量が大きいことを示している。

### 【0063】

これに対して、本実施形態では、バッファ層14が赤外線を吸収する材料の一種であるアモルファスシリコンにより形成されており、図15に示すように、絶縁性基板11の上記一表面側の全体にわたってバッファ層14を形成してから、強電界ドリフト層6のベースとなるノンドープの多結晶シリコン層3を成膜する際に絶縁性基板11を上記一表面とは反対の他表面側からヒータ40により加熱したときに下部電極12のパターンによらず絶縁性基板11の上記一表面側における温度分布を均一にでき、多結晶シリコン層3の膜質の面内均質性を高めるこ

とができるから、バッファ層14が設けられていない場合やバッファ層14が下部電極12に重なる領域のみに形成されている場合に比べて強電界ドリフト層6の品質の面内ばらつきを小さくでき、電子放出特性の面内ばらつきを小さくすることができる。

#### 【0064】

また、本実施形態の電界放射型電子源10では、バッファ層14をアモルファス層たるアモルファスシリコン層により構成しているので、バッファ層4を一般的な半導体製造プロセス（例えば、プラズマCVD法など）により比較的低温で容易に形成することができる。

#### 【0065】

ところで、本実施形態では、ノンドープの多結晶シリコン層3に対してナノ結晶化プロセスを行って、その後、酸化プロセスを行うことにより強電界ドリフト層6を形成しているが、多結晶シリコン層3の代わりに他の多結晶半導体層を採用してもよい。また、本実施形態では、シリコン酸化膜64が絶縁膜を構成しており絶縁膜の形成に酸化プロセスを採用しているが、酸化プロセスの代わりに塗化プロセスないし酸塗化プロセスを採用してもよく、塗化プロセスを採用した場合には図2にて説明した各シリコン酸化膜52, 64がいずれもシリコン塗化膜となり、酸塗化プロセスを採用した場合には各シリコン酸化膜52, 64がシリコン酸塗化膜となる。

#### 【0066】

##### 【発明の効果】

請求項1の発明は、下部電極と、表面電極と、下部電極と表面電極との間に表面電極を高電位側として電圧を印加したときに作用する電界により電子が通過する強電界ドリフト層とを有する電子源素子が絶縁性基板の一表面側に形成され、電子源素子における強電界ドリフト層と下部電極との間にバッファ層が設けられてなるものであり、電子源素子における強電界ドリフト層と下部電極との間にバッファ層が設けられているので、強電界ドリフト層に形成される欠陥を少なくすることができ、従来に比べて強電界ドリフト層にかかる電界を面内で均一化することができるから、従来に比べて電子放出特性の面内ばらつきを小さくできると

いう効果がある。

#### 【0067】

請求項2の発明は、請求項1の発明において、前記バッファ層は、アモルファス層からなるので、前記バッファ層を比較的低温で容易に形成することができるという効果がある。

#### 【0068】

請求項3の発明は、請求項1の発明において、前記絶縁性基板の前記一表面側に前記電子源素子が複数形成され、前記絶縁性基板がガラス基板であって、前記バッファ層は、赤外線を吸収する材料からなり、前記強電界ドリフト層の形成前に前記絶縁性基板の前記一表面側の全体にわたって成膜した膜の一部からなるので、前記強電界ドリフト層を形成するために前記絶縁性基板を前記一表面とは反対の他表面側から加熱したときに前記下部電極のパターンによらず前記絶縁性基板の前記一表面側における温度分布を均一化でき、前記強電界ドリフト層の形成前に前記絶縁性基板の前記一表面側に成膜され一部がバッファ層となる膜が前記下部電極に重なる領域のみに形成されている場合に比べて、前記強電界ドリフト層の品質の面内ばらつきを小さくできて電子放出特性の面内ばらつきを小さくすることができるという効果がある。

#### 【0069】

請求項4の発明は、請求項3の発明において、前記アモルファス層がアモルファスシリコン層からなるので、前記アモルファス層を一般的な半導体製造プロセスで形成することができるという効果がある。

#### 【0070】

請求項5の発明は、請求項1ないし請求項4の発明において、前記強電界ドリフト層は、前記下部電極の厚み方向に沿って形成された複数の柱状の半導体結晶と、半導体結晶間に介在する多数のナノメータオーダの半導体微結晶と、各半導体微結晶それぞれの表面に形成され半導体微結晶の結晶粒径よりも小さな膜厚の多数の絶縁膜とを有するので、電子放出時の真空度依存性が小さく、また、前記強電界ドリフト層で発生した熱の一部が柱状の半導体結晶を通して放熱されるから、電子放出時にポッピング現象が発生せず安定して電子を放出することができ

るという効果がある。

### 【0071】

請求項6の発明は、請求項1ないし請求項5のいずれか1項に記載の電界放射型電子源の製造方法であって、前記絶縁性基板の前記一表面側に前記下部電極を形成した後、前記強電界ドリフト層を形成する前に、前記下部電極上に前記バッファ層を形成するので、前記下部電極上に前記強電界ドリフト層を形成する場合に比べて前記強電界ドリフト層に欠陥が形成されにくくなつて前記強電界ドリフト層の品質が向上するから、従来に比べて電子放出特性の面内ばらつきが小さな電界放射型電子源を提供することができるという効果がある。また、ロット間での電界放射型電子源の電子放出特性のばらつきを小さくすることができるという効果がある。

### 【0072】

請求項7の発明は、請求項5記載の電界放射型電子源の製造方法であって、前記絶縁性基板の前記一表面側に前記下部電極を形成する下部電極形成工程と、下部電極形成工程の後で前記絶縁性基板の前記一表面側に前記バッファ層を成膜する第1の成膜工程と、前記バッファ層の表面側に多結晶半導体層を成膜する第2の成膜工程と、多結晶半導体層の少なくとも一部をナノ結晶化することで前記各半導体微結晶を形成するナノ結晶化工程と、前記各半導体微結晶それぞれの表面に前記絶縁膜を形成する絶縁膜形成工程とを備えるので、前記下部電極上に多結晶半導体層を形成する場合に比べて多結晶シリコン層に欠陥が形成されにくくなり、結果的に前記強電界ドリフト層の品質が向上するから、従来に比べて電子放出特性の面内ばらつきが小さな電界放射型電子源を提供することができるという効果がある。また、ロット間での電界放射型電子源の電子放出特性のばらつきを小さくすることができるという効果がある。

### 【0073】

請求項8の発明は、請求項7の発明において、前記第1の成膜工程の後、前記バッファ層の表面を大気に曝すことなく前記第2の成膜工程を行うので、前記バッファ層と前記多結晶半導体層との間に酸化膜からなるバリア層が形成されるのを防止することができ、バリア層に起因した電子放出特性の低下を防止できると

いう効果がある。

#### 【0074】

請求項9の発明は、請求項8の発明において、前記第1の成膜工程と前記第2の成膜工程とを同一チャンバ内で連続的に行うので、製造期間の短縮を図れるという効果がある。

#### 【0075】

請求項10の発明は、請求項9の発明において、前記第1の成膜工程および前記第2の成膜工程では成膜法としてプラズマCVD法を採用し、前記第1の成膜工程から前記第2の成膜工程へ切り替える際に放電パワーを前記バッファ層の形成条件から前記多結晶半導体層の形成条件へ変化させてるので、放電パワーを含めた複数のプロセスパラメータを変化させる場合に比べてプロセスを簡略化できるという効果がある。

#### 【0076】

請求項11の発明は、請求項9の発明において、前記第1の成膜工程および前記第2の成膜工程では成膜法としてプラズマCVD法を採用し、前記第1の成膜工程から前記第2の成膜工程へ切り替える際に放電圧力を前記バッファ層の形成条件から前記多結晶半導体層の形成条件へ変化させてるので、放電圧力を含めた複数のプロセスパラメータを変化させる場合に比べてプロセスを簡略化できるという効果がある。

#### 【0077】

請求項12の発明は、請求項9の発明において、前記第1の成膜工程および前記第2の成膜工程では成膜法としてプラズマCVD法若しくは触媒CVD法を採用し、前記第1の成膜工程から前記第2の成膜工程へ切り替える際に原料ガスの分圧比を前記バッファ層の形成条件から前記多結晶半導体層の形成条件へ変化させてるので、原料ガスの分圧比を含めた複数のプロセスパラメータを変化させる場合に比べてプロセスを簡略化できるという効果がある。

#### 【0078】

請求項13の発明は、請求項9の発明において、前記第1の成膜工程および前記第2の成膜工程では成膜法としてプラズマCVD法若しくは触媒CVD法を採

用し、前記第1の成膜工程から前記第2の成膜工程へ切り替える際に原料ガスの種類を前記バッファ層の形成条件から前記多結晶半導体層の形成条件へ変化させてるので、原料ガスの種類を含めた複数のプロセスパラメータを変化させる場合に比べてプロセスを簡略化できるという効果がある。

#### 【0079】

請求項14の発明は、請求項7または請求項8の発明において、前記第1の成膜工程と前記第2の成膜工程との間に、前記バッファ層の表面へ前記第2の成膜工程初期における結晶核形成を起こりやすくする処理を施す成長前処理工程を備えるので、前記第2の成膜工程で前記多結晶半導体層を成膜する際に前記多結晶半導体層の結晶成長が促進されて膜質が向上し、結果的に電界放射型電子源の電子放出特性および寿命が向上するという効果がある。

#### 【0080】

請求項15の発明は、請求項14の発明において、前記成長前処理工程は、前記バッファ層の表面へプラズマ処理を施す工程であるので、前記第2の成膜工程においてプラズマCVD装置のようなプラズマを利用した成膜装置を用いる場合に、前記成長前処理工程を前記第2の成膜工程と同一チャンバ内で行うことができ、前記成長前処理工程と前記第2の成膜工程とを連続的に行うことができるから、製造期間の短縮を図れるという効果がある。

#### 【0081】

請求項16の発明は、請求項14の発明において、前記成長前処理工程は、前記バッファ層の表面へ水素プラズマ処理を施す工程であり、前記第2の成膜工程では少なくともシラン系のガスを原料ガスとしたプラズマCVD法により前記多結晶半導体層としての多結晶シリコン層を成膜するので、前記成長前処理工程を前記第2の成膜工程と同一チャンバ内で行うことができるから、前記成長前処理工程と前記第2の成膜工程とを連続的に行うことができ、製造期間の短縮を図れるという効果があり、しかも、前記第2の成膜工程でシラン系のガスと水素ガスとを用いる場合、前記成長前処理工程では前記第2の成膜工程で用いる原料ガスの一つである水素ガスの配管を通してチャンバ内へ水素ガスを導入すればよいから、プラズマCVD法で用いる装置を特に改造することなく使用することができ

るという利点がある。

### 【0082】

請求項17の発明は、請求項14の発明において、前記成長前処理工程は、前記バッファ層の表面へアルゴンプラズマ処理を施す工程であるので、前記第2の成膜工程においてプラズマCVD装置のようなプラズマを利用した成膜装置を用いる場合に、前記成長前処理工程を前記第2の成膜工程と同一チャンバ内で行うことができるから、前記成長前処理工程と前記第2の成膜工程とを連続的に行うことができ、製造期間の短縮を図れ、請求項16の発明に比べて前記多結晶半導体層の結晶化をより促進することができるという効果がある。

### 【0083】

請求項18の発明は、請求項14の発明において、前記成長前処理工程は、前記バッファ層の表面へ多数のシリコン微結晶を含む層を形成する工程であるので、請求項15ないし請求項17のようなプラズマ処理を施すことなく前記多結晶半導体層の結晶化を促進することができるという効果がある。

### 【図面の簡単な説明】

#### 【図1】

実施形態における電界放射型電子源の一部破断した概略斜視図である。

#### 【図2】

同上における電界放射型電子源の要部概略構成図である。

#### 【図3】

同上における電界放射型電子源の動作説明図である。

#### 【図4】

同上における電界放射型電子源を用いた画像表示装置の要部概略構成図である。

。

#### 【図5】

同上における電界放射型電子源の駆動方法の説明図である。

#### 【図6】

同上における電界放射型電子源の製造方法を説明するための主要工程断面図である。

**【図 7】**

同上における電界放射型電子源の動作説明図である。

**【図 8】**

同上における電界放射型電子源の実施例の電子放出特性図である。

**【図 9】**

同上における電界放射型電子源の比較例の電子放出特性図である。

**【図 10】**

(a) は比較例の電界放射型電子源を用いた表示装置の発光パターン写真をカラー印刷したもの、(b) は実施例の電界放射型電子源を用いた表示装置の発光パターン写真をカラー印刷したものである。

**【図 11】**

同上における電界放射型電子源の他の実施例の電子放出特性図である。

**【図 12】**

同上における電界放射型電子源の他の比較例の電子放出特性図である。

**【図 13】**

同上における電界放射型電子源の他の実施例の電子放出特性図である。

**【図 14】**

同上における電界放射型電子源の他の比較例の電子放出特性図である。

**【図 15】**

同上における電界放射型電子源の製造方法の説明図である。

**【図 16】**

同上における電界放射型電子源の比較例の製造方法の説明図である。

**【図 17】**

従来例を示す電界放射型電子源の動作説明図である。

**【図 18】**

他の従来例を示す電界放射型電子源の動作説明図である。

**【図 19】**

同上の電界放射型電子源の製造方法を説明するための主要工程断面図である。

**【図 20】**

同上を応用したディスプレイの概略構成図である。

【図21】

同上を応用したディスプレイにおける電界放射型電子源の概略斜視図である。

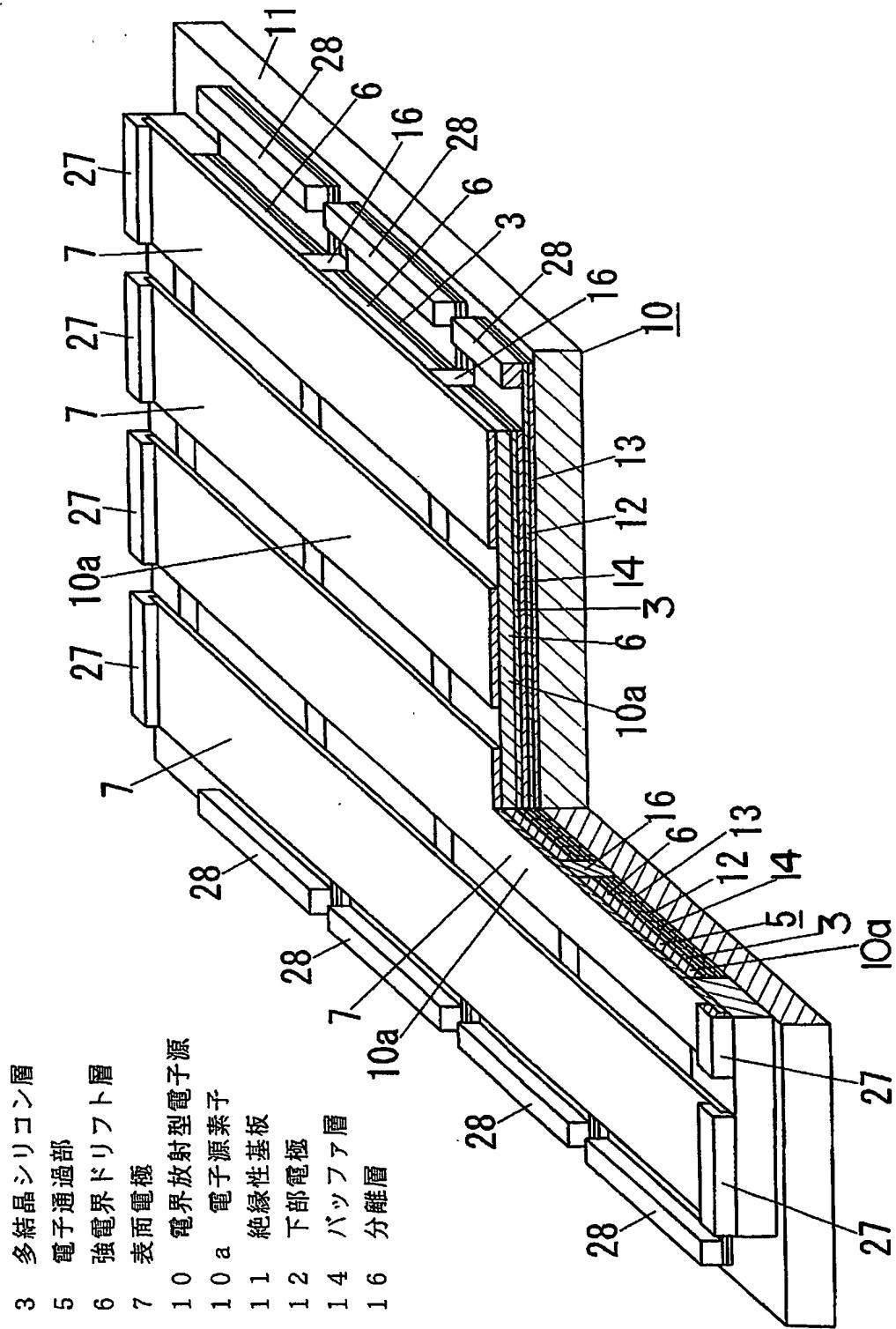
【符号の説明】

- 3 多結晶シリコン層
- 5 電子通過部
- 6 強電界ドリフト層
- 7 表面電極
- 10 電界放射型電子源
  - 10a 電子源素子
  - 11 絶縁性基板
  - 12 下部電極
  - 13 剥れ防止層
  - 14 バッファ層
  - 16 分離層
  - 51 グレイン
  - 52 シリコン酸化膜
  - 63 シリコン微結晶
  - 64 シリコン酸化膜

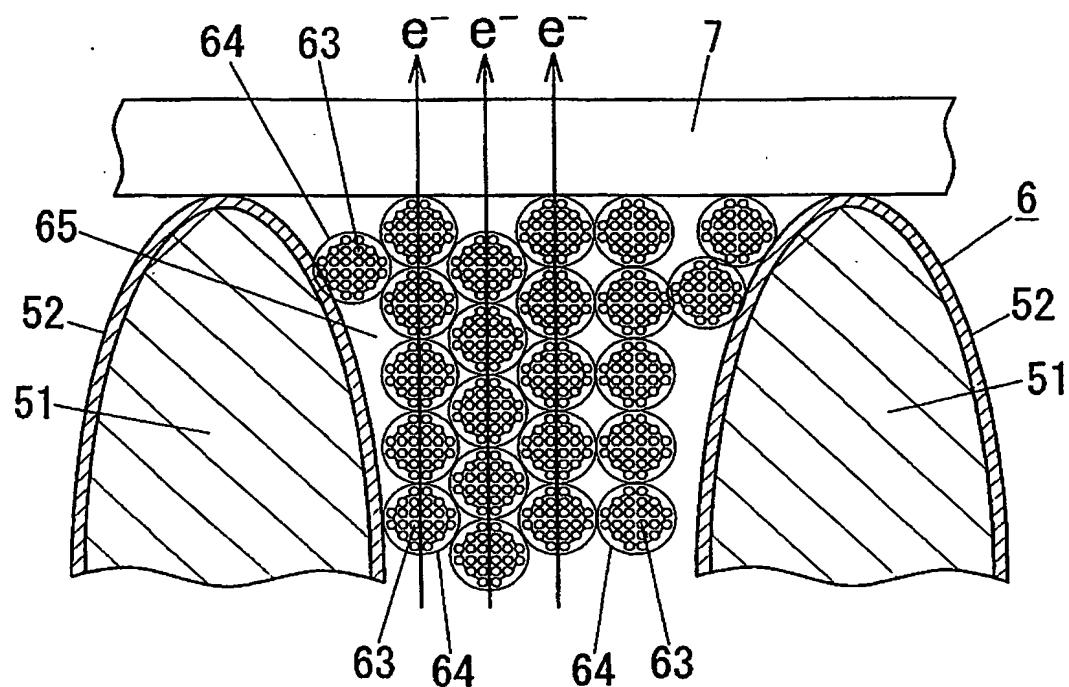
【書類名】

図面

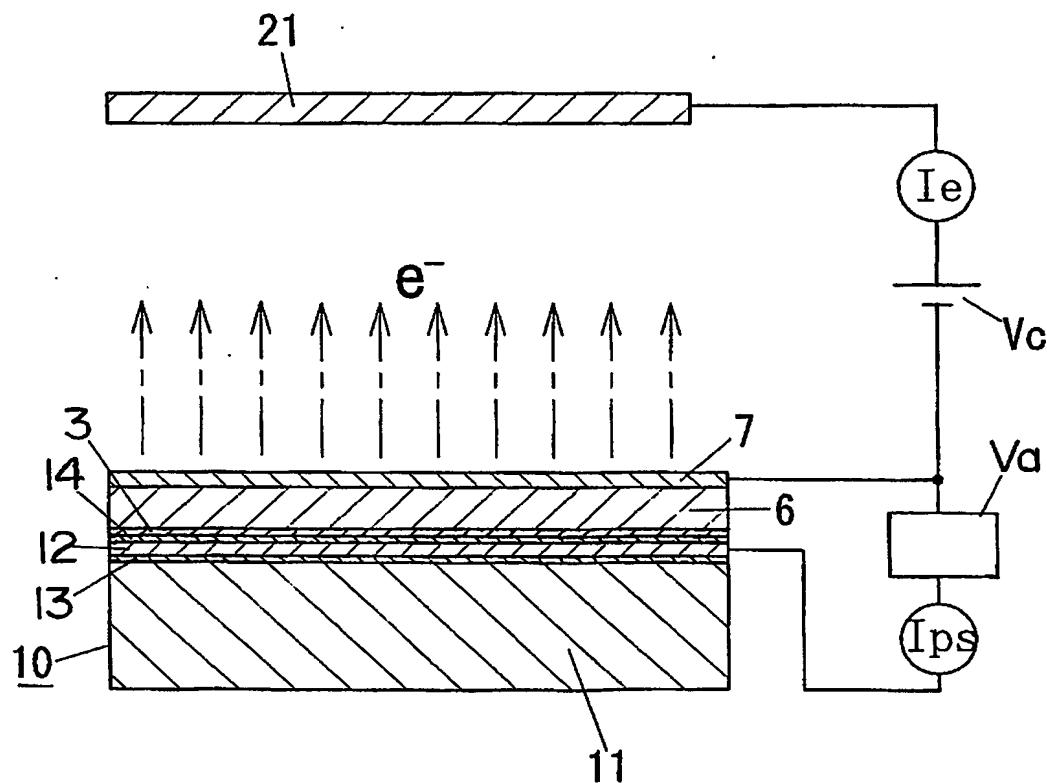
【図 1】



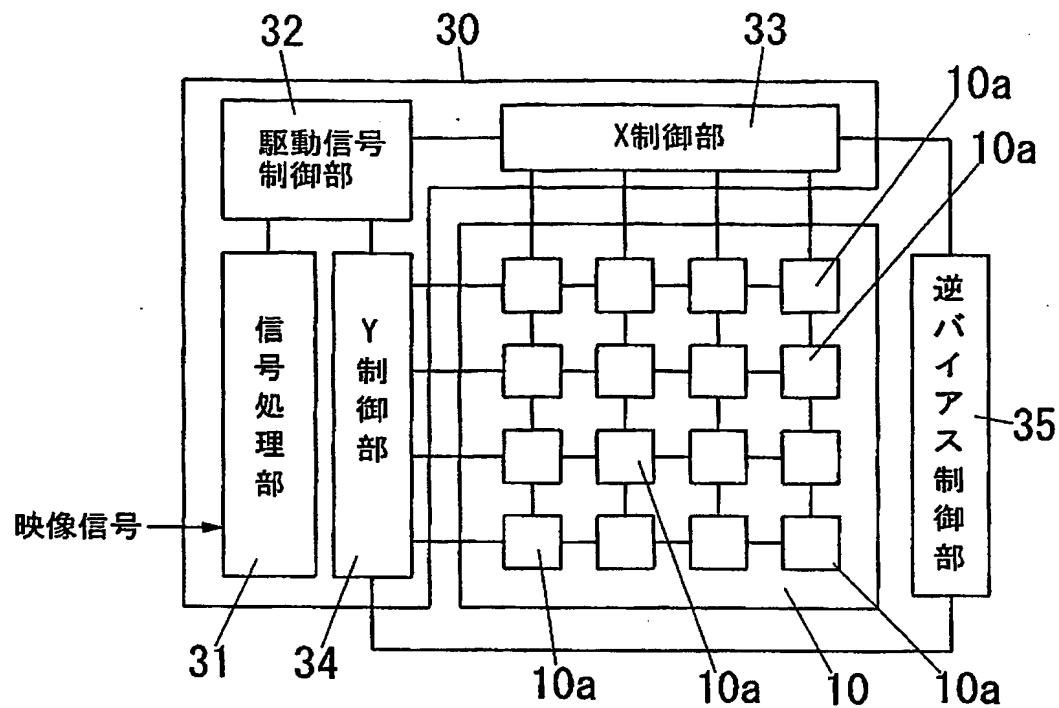
【図2】



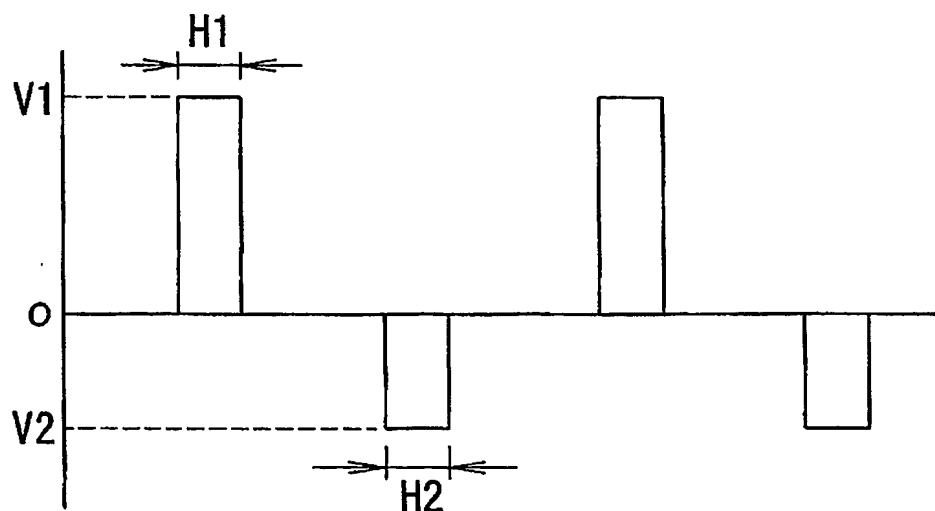
【図3】



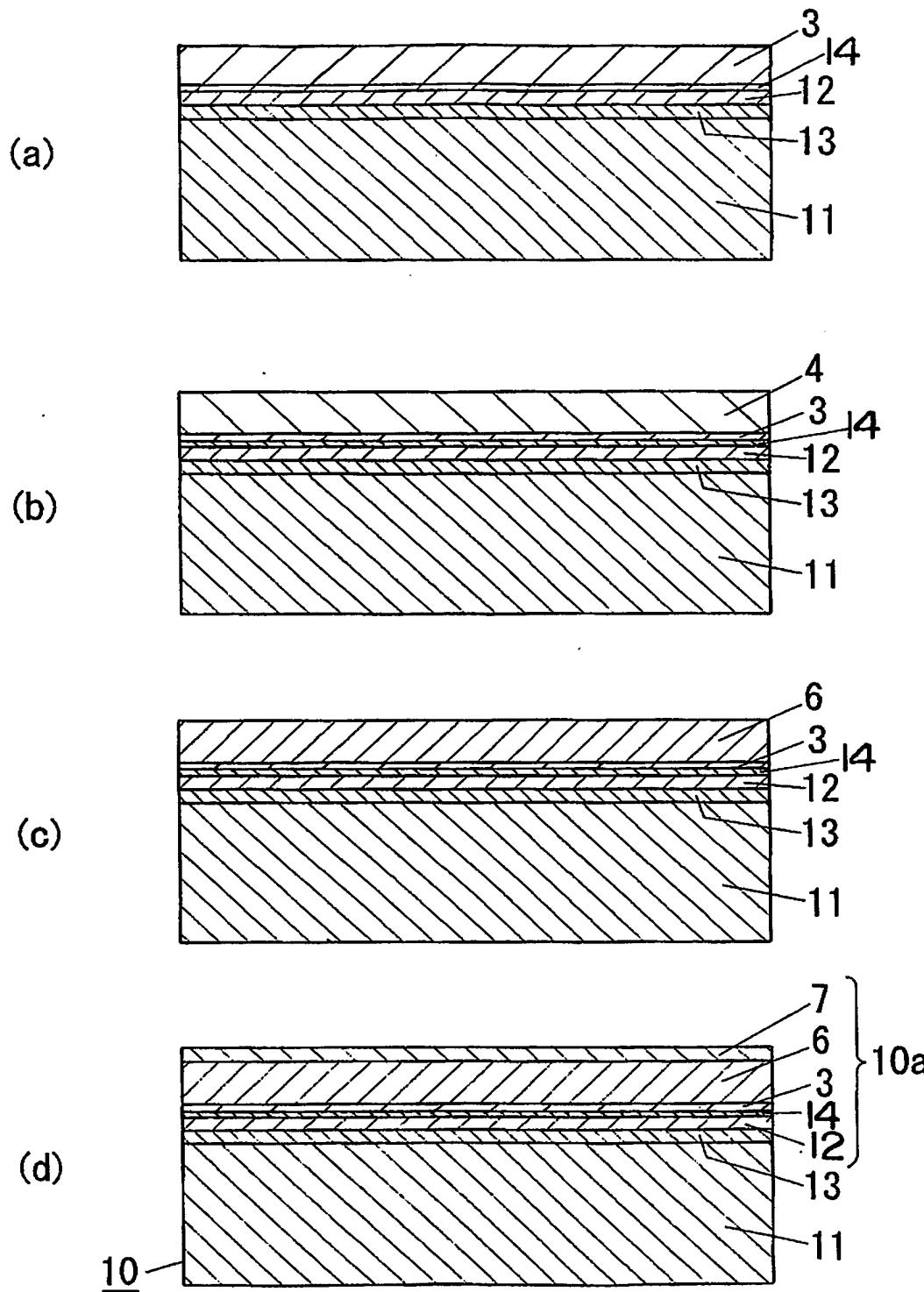
【図4】



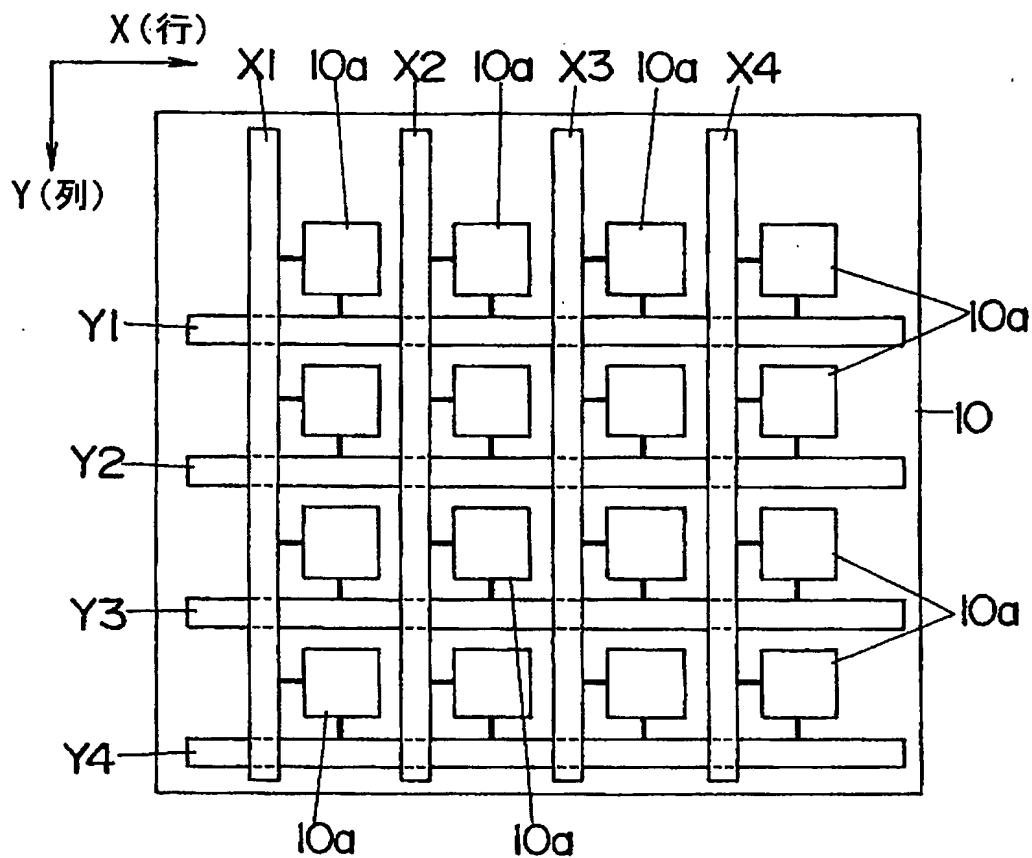
【図5】



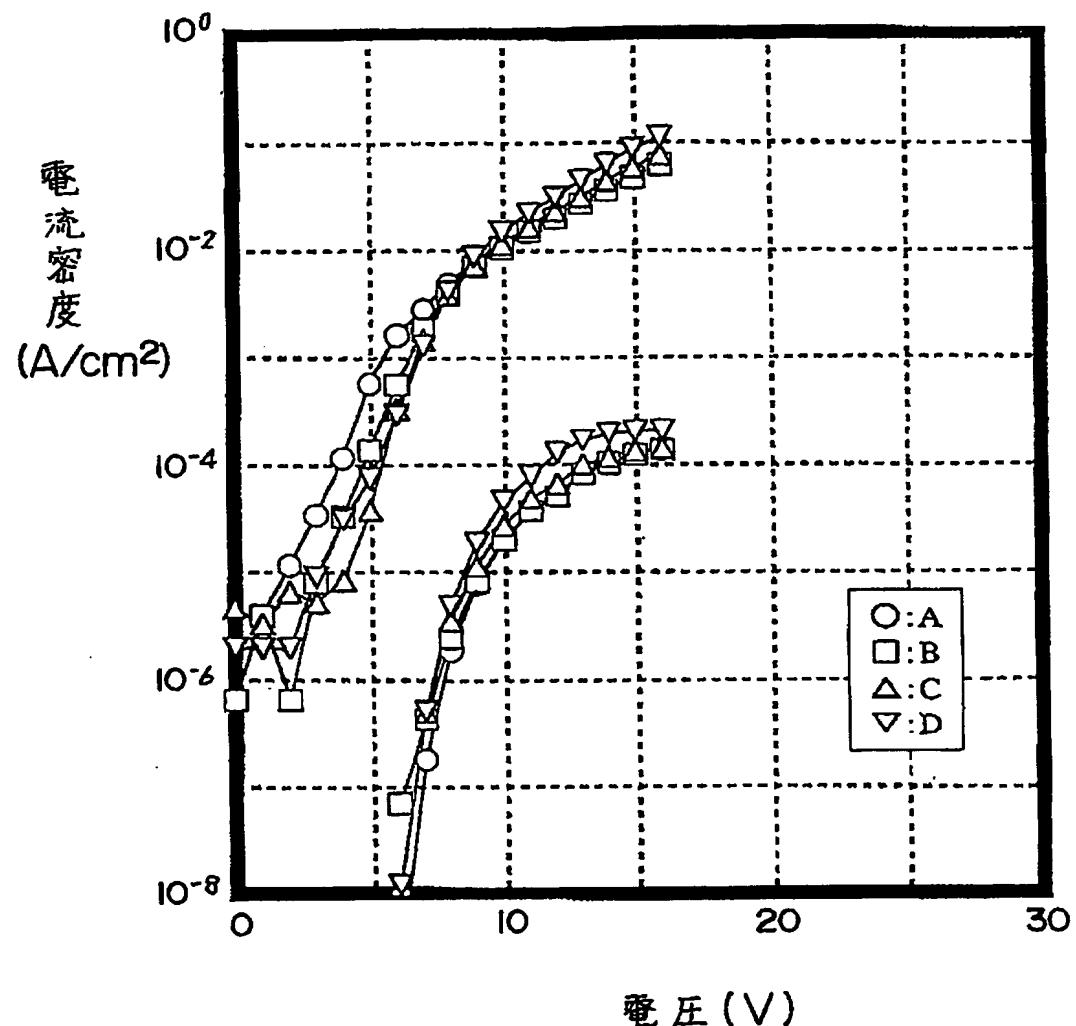
【図 6】



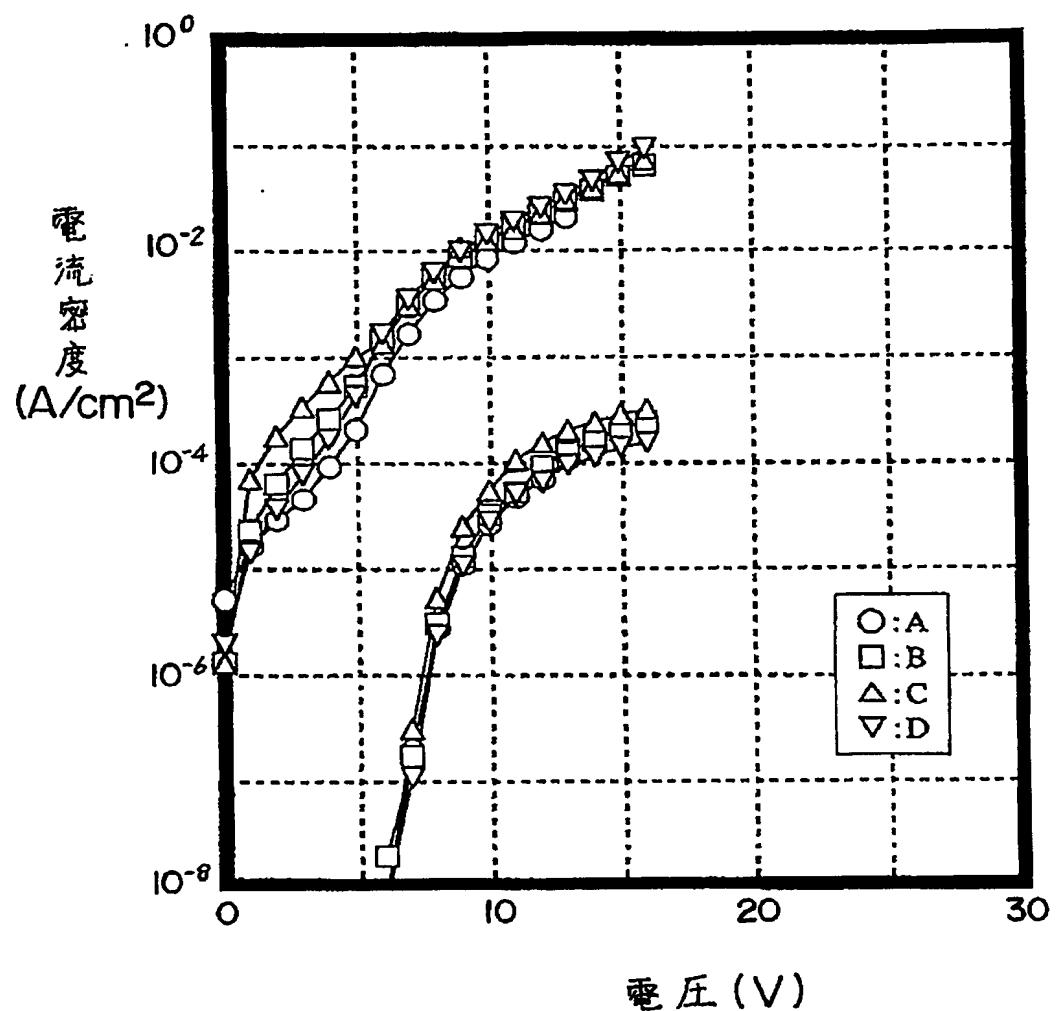
【図7】



【図8】

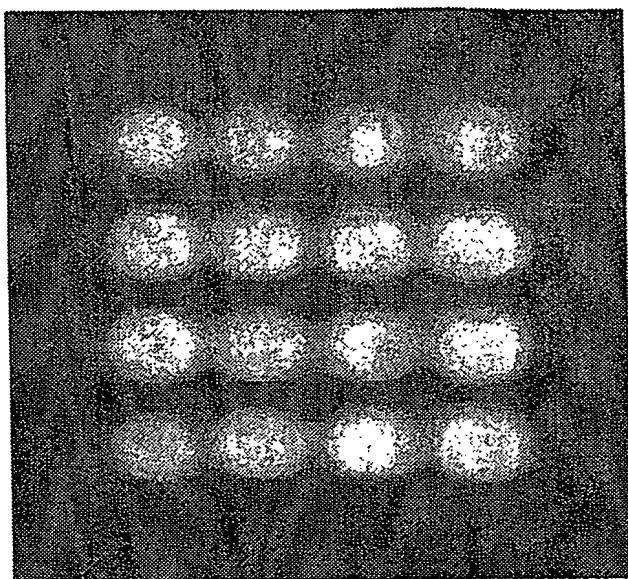


【図9】

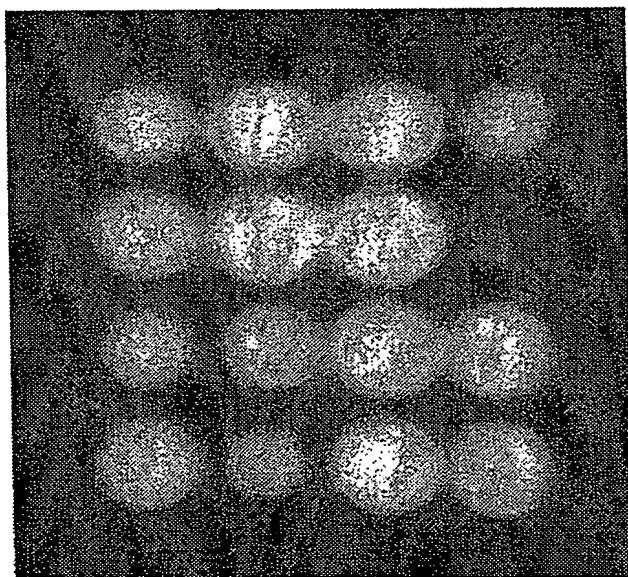


【図10】

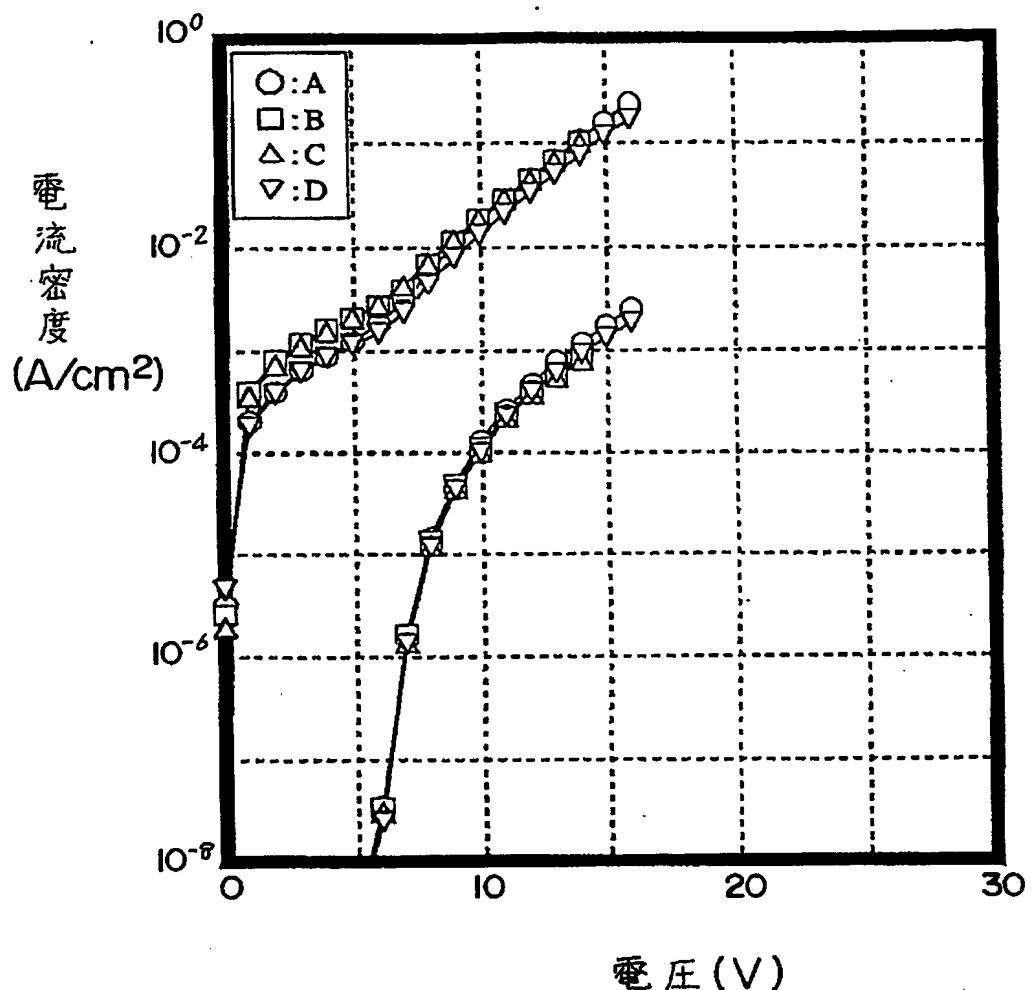
(b)



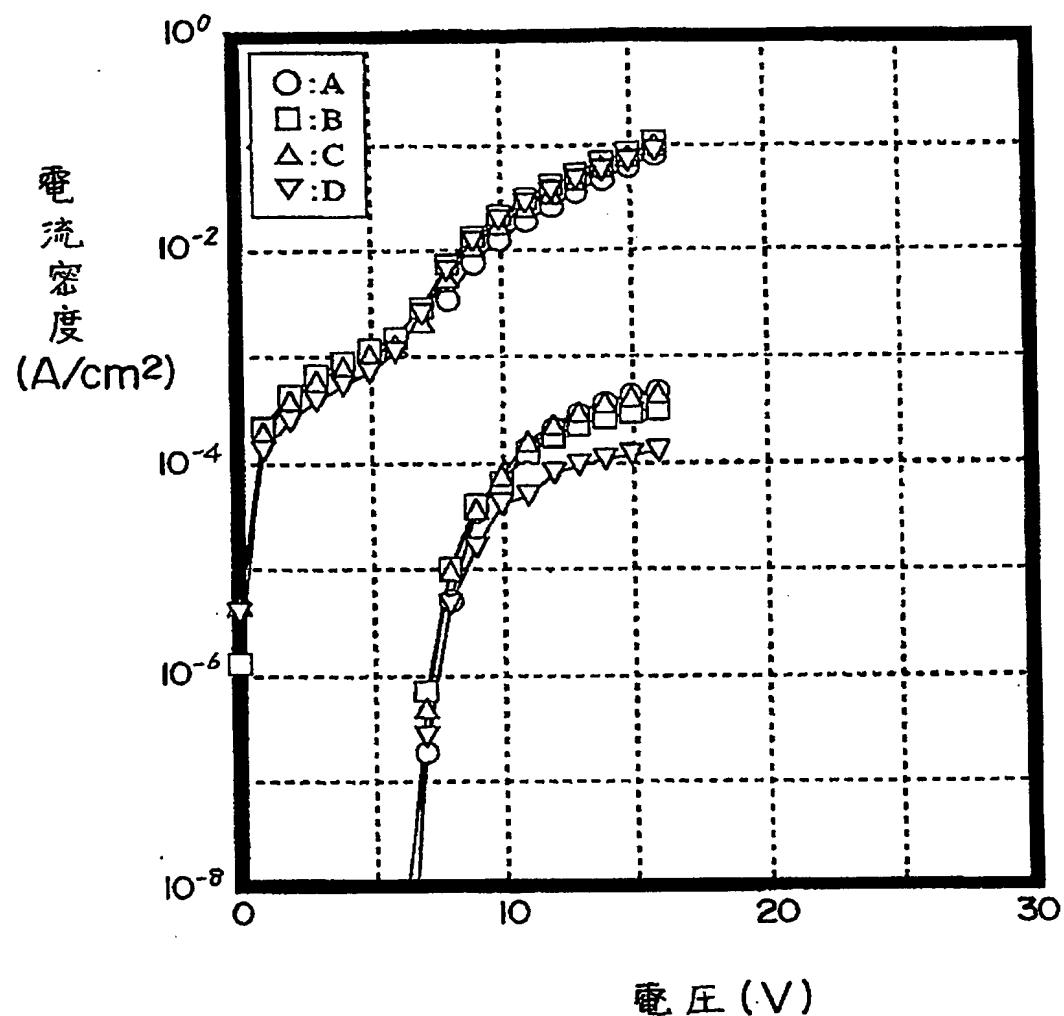
(a)



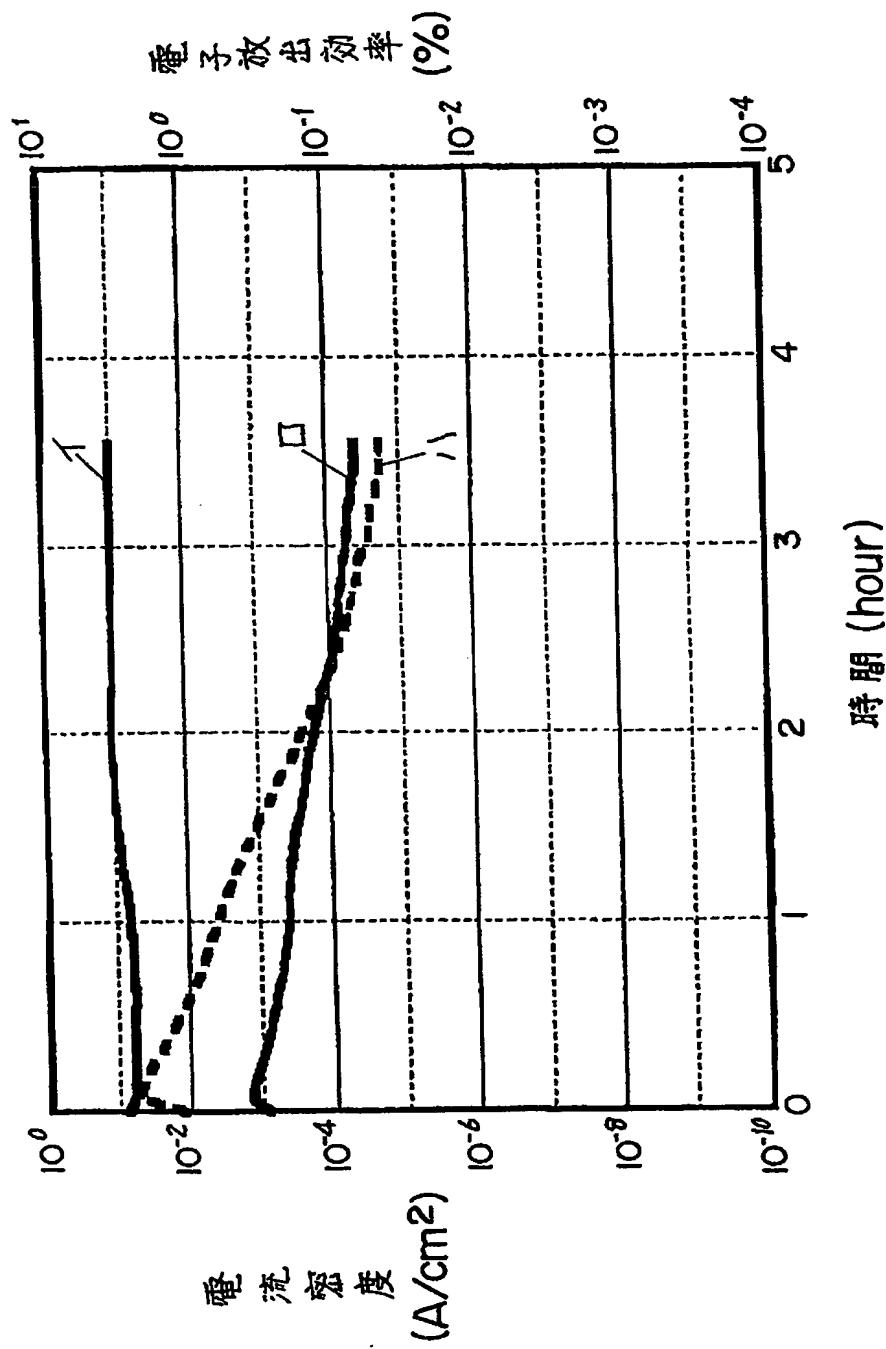
【図11】



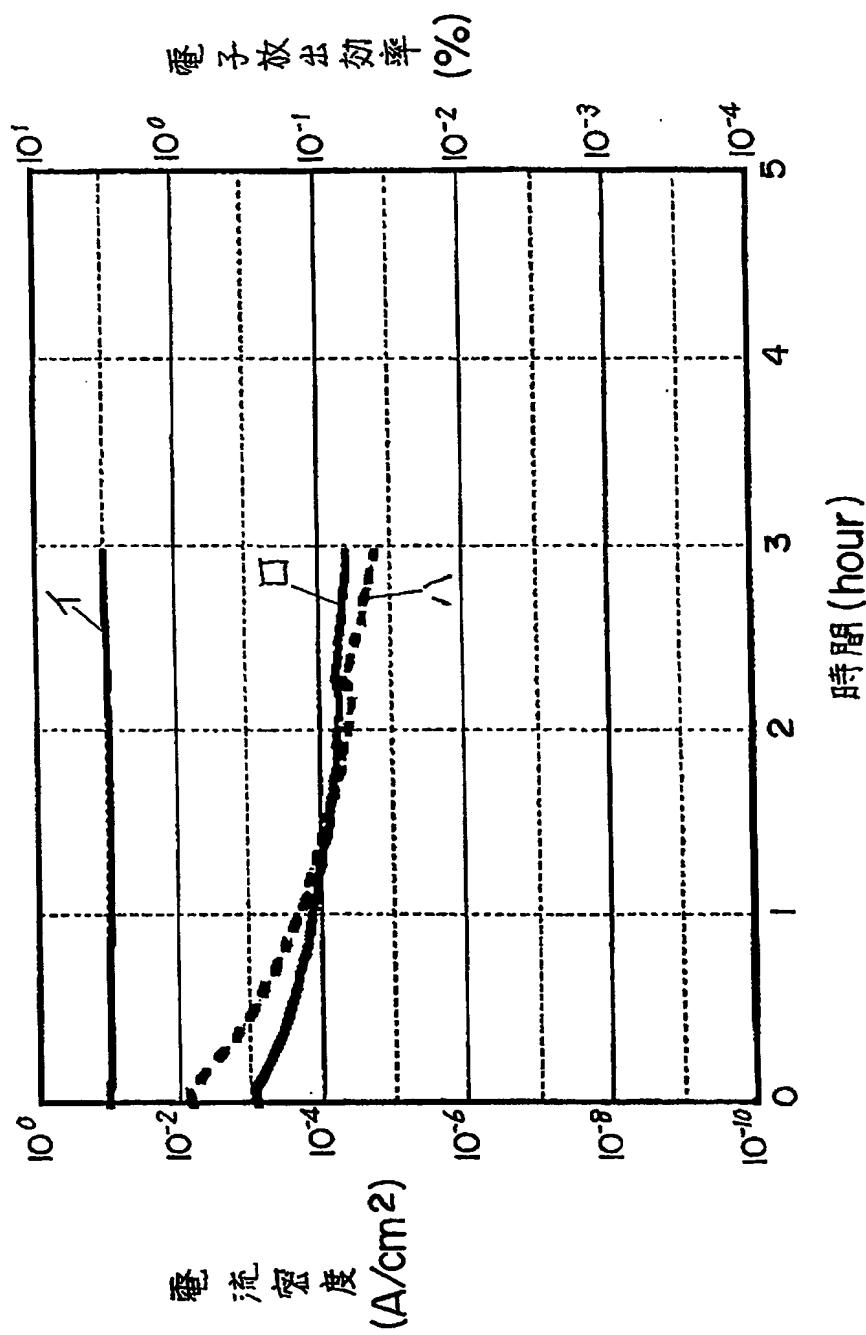
【図12】



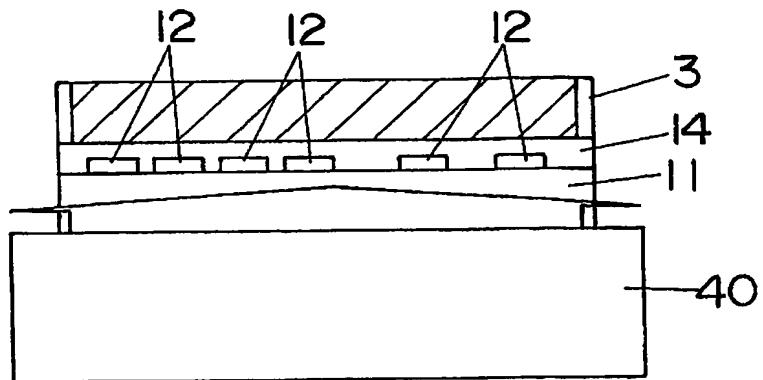
【図13】



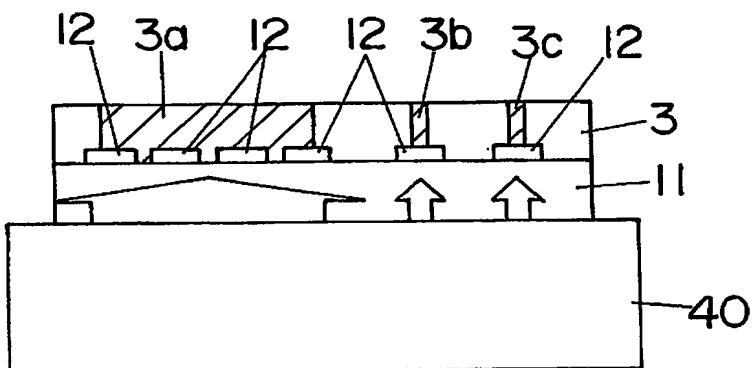
【図14】



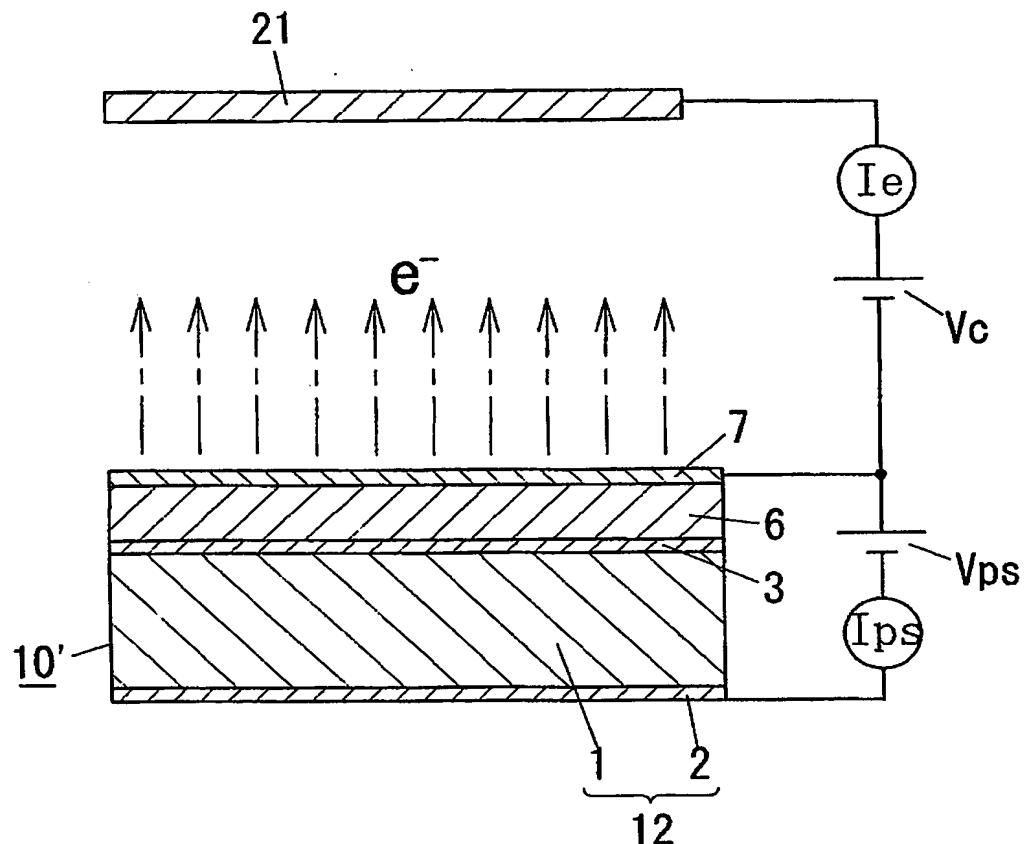
【図15】



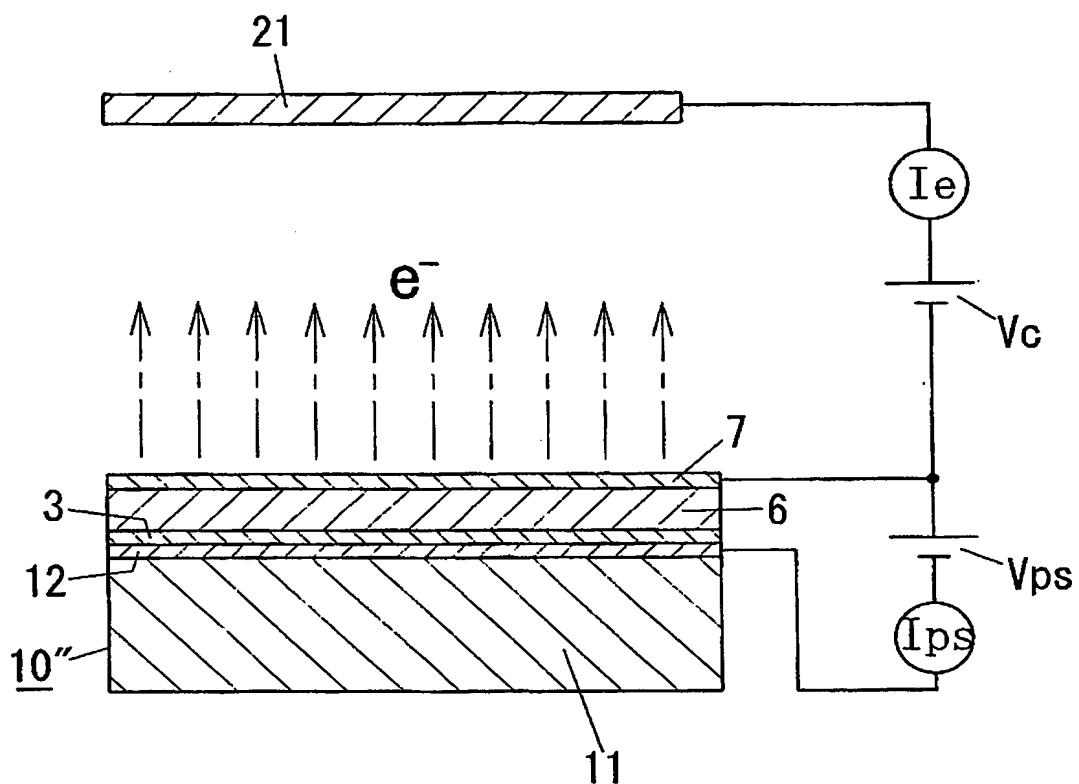
【図16】



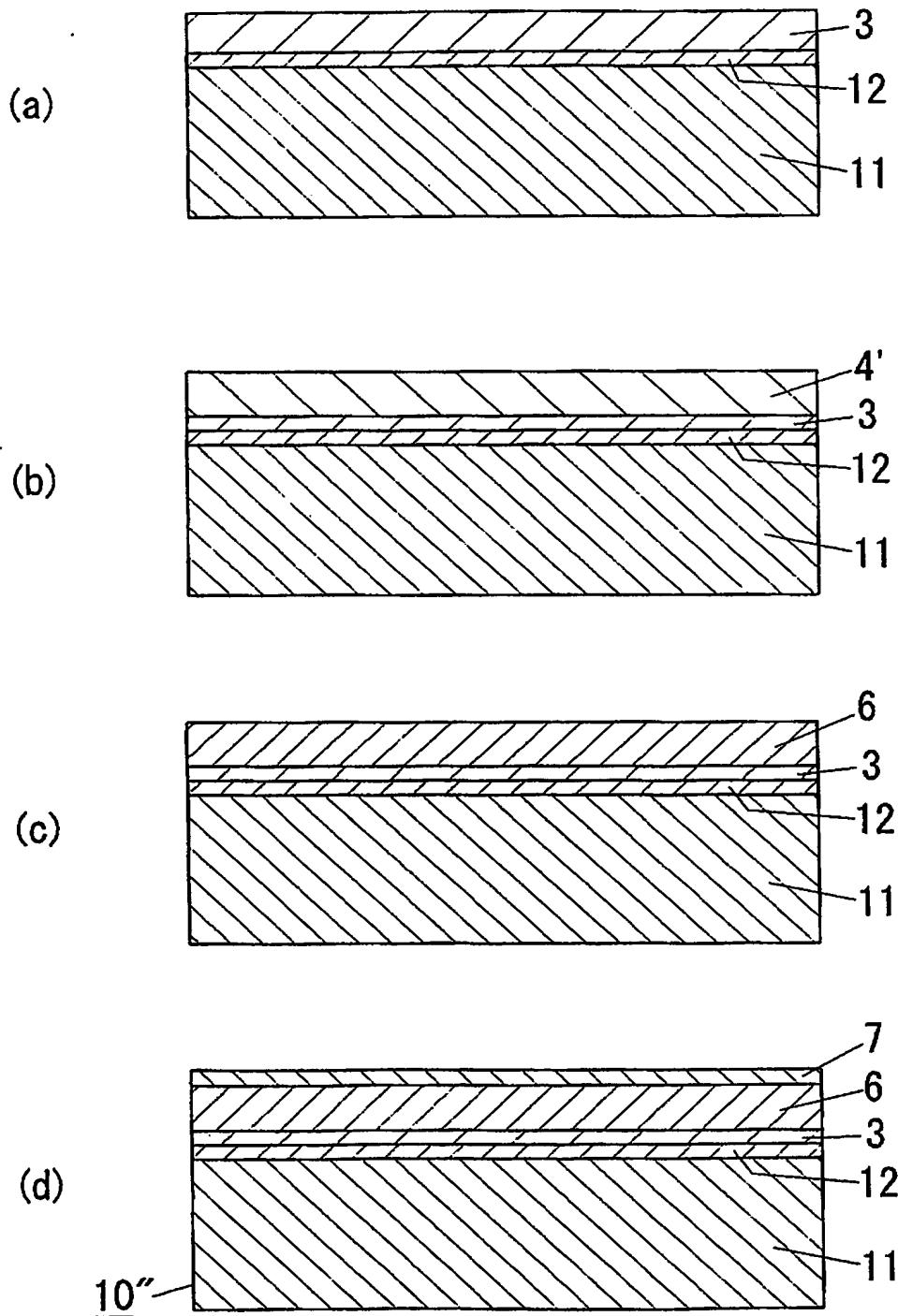
【図17】



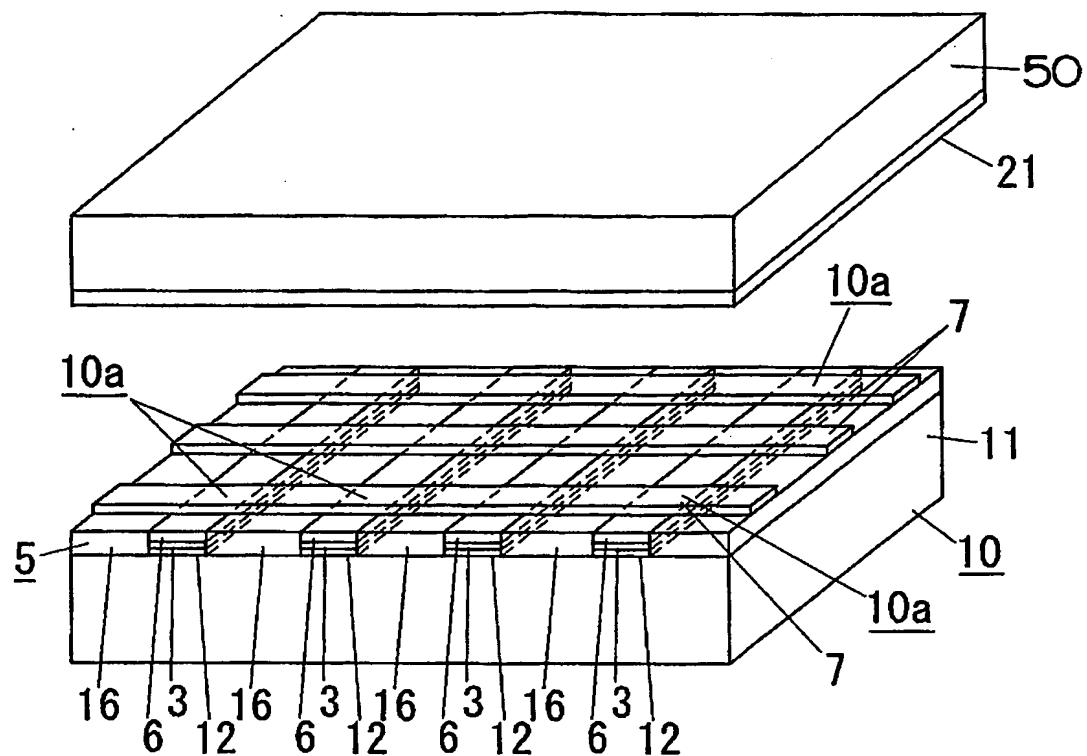
【図18】



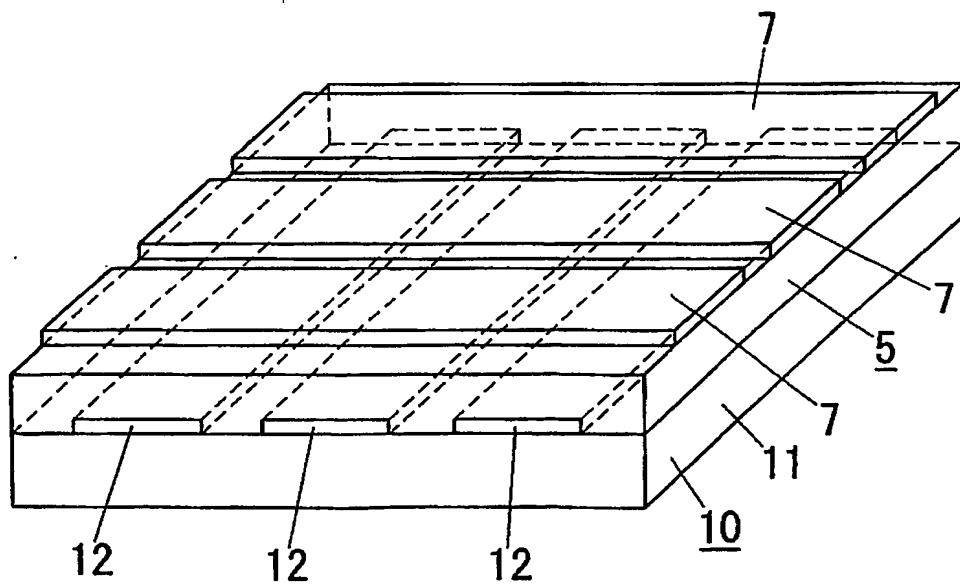
【図19】



【図20】



【図21】



【書類名】 要約書

【要約】

【課題】 従来に比べて電子放出特性の面内ばらつきが小さな電界放射型電子源およびその製造方法を提供する。

【解決手段】 ガラス基板よりなる絶縁性基板11の一表面側に複数の電子源素子10aが形成されている。電子源素子10aは、下部電極12と、下部電極12aに形成されたアモルファスシリコン層からなるバッファ層14と、バッファ層14上に形成された多結晶シリコン層3と、多結晶シリコン層3上に形成された強電界ドリフト層6と、強電界ドリフト層6上に形成された表面電極7とで構成されている。

【選択図】 図1

特願 2002-381944

出願人履歴情報

識別番号 [000005832]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住所 大阪府門真市大字門真1048番地  
氏名 松下電工株式会社